

## Circuite logice CMOS (Complementary MOS)

Circuitele logice cu tranzistoare MOS complementare, în prezent, sunt cele mai fabricate circuite integrate logice ocupând cca.80 % din piața acestora. Ele prezintă o serie de particularități care conferă o personalitate aparte întregii familii, asigurând continua dezvoltare a acestor circuite:

- Gamă mare pentru tensiunile de alimentare (o singură sursă) :  $3,5 \div 15V$ ;
- Imunitate la zgomote excelentă 45%;
- Puterea consumată în regim static este infimă. În regim dinamic însă puterea consumată crește ajungând să fie comparabilă cu a circuitelor bipolare.
- Viteză de lucru destul de bună (totuși mai mică decât circuitele bipolare).
- Densitate de integrare mare.

Circuitele logice CMOS sunt fabricate în mai multe serii după cum urmează:

- circuite integrate pe scară mică și medie fabricate atât în seria 4000 (specifică CMOS) cât și în seria 54C/74C (cu variantele îmbunătățite 54HC/74HC → H = high = viteză și 54AHC/74AHC → A = advanced) care conține circuite pin cu pin și funcție cu funcție echivalentă cu seria 54/74 TTL;
- Circuite VLSI .

### 1. Inversorul CMOS

#### 1.1. Schema electrică și funcționarea inversorului CMOS

În tehnologie CMOS, poarta fundamentală este poarta NU a cărei schemă electrică și structură este prezentată în figura 1.

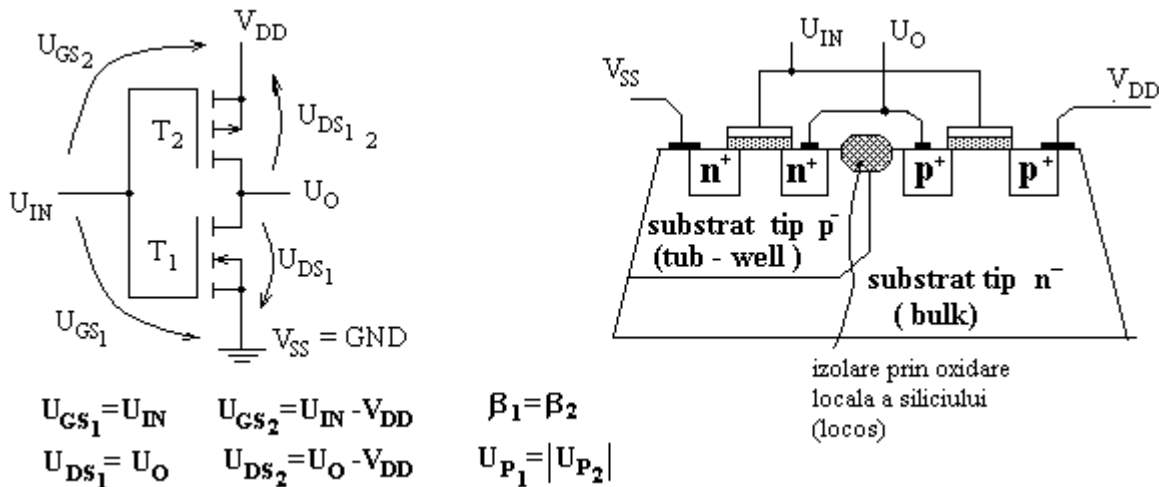


Fig. 1. Inversor CMOS

#### Construcție

Circuitul este format din două tranzistoare MOS, legate în serie, unul cu canal indus n ( $T_1$ ) și celălalt cu canal indus tip p ( $T_2$ ), înseriate. Cele două grile sunt legate împreună și constituie

intrarea circuitului. Cele două drene legate împreună constituie ieșirea porții. Substratul de tip p este legat la cel mai negativ potențial, iar cel de tip n la cel mai pozitiv potențial. În acest fel se realizează blocarea joncțiunii p – n, substrat-substrat. Identificând tensiunile de electrod ale tranzistoarelor cu tensiunile specifice inversorului se observă că:

$$U_{GS_1} = U_{IN} , \quad U_{GS_2} = U_{IN} - V_{DD} , \quad U_{DS_1} = U_{IN} \text{ și } U_{DS_2} = U_O - V_{DD}$$

Circuitul se alimentează la tensiune pozitivă notată  $V_{DD}$  (valori de 3,5÷15V). Borna de masă este notată  $V_{SS}$ . Cele două tranzistoare fiind înseriate sunt parcurse de același curent  $I_{D1} = I_{D2} = I_{DD}$ . Cele două tranzistoare au o construcție simetrică, urmărindu-se să aibă tensiunile de prag egale în valoare absolută (evident  $U_{P1} > 0$  și  $U_{P2} < 0$ ) și de asemenea să aibă același coeficient  $\beta$ . Egalitatea coeficienților  $\beta_1 = \beta_2$ , având în vedere diferența dintre mobilitatea electronilor și a gurilor (de 2 - 2,5 ori mai mică decât cea a electronilor), se realizează din dimensionarea celor două tranzistoare.

Pentru circuitele din seria 4000 tranzistoarele au o tensiune de prag de cca. 1,5–2V. Tranzistoarele din seriile VLSI au tensiuni de prag ceva mai mici (0,5 V – 1 V).

### Funcționare

Dacă se aplică  $U_{IN} = V_{DD}$ , atunci tranzistorul  $T_1$  are  $U_{GS_1} = U_{IN} > U_p$  și este deschis, iar  $T_2$  are  $U_{GS_2} = 0 \text{ V} < |U_{p2}|$  și este blocat. La ieșire se obține semnal 0 logic (fig. 2).

Dacă  $U_{IN} = 0 \text{ V} = V_{SS}$ , atunci tranzistorul  $T_1$  are  $U_{GS_1} = U_{IN} = 0 < U_{p1}$  și este blocat, iar  $T_2$  are  $U_{GS_2} = -V_{DD}$  și este deschis ( $|U_{GS_2}| > |U_{p2}|$ ). La ieșire se obține 1 logic.

Circuitul realizează funcția logică NU având o funcționare care se poate simula cu două comutatoare funcționând în contratimp.

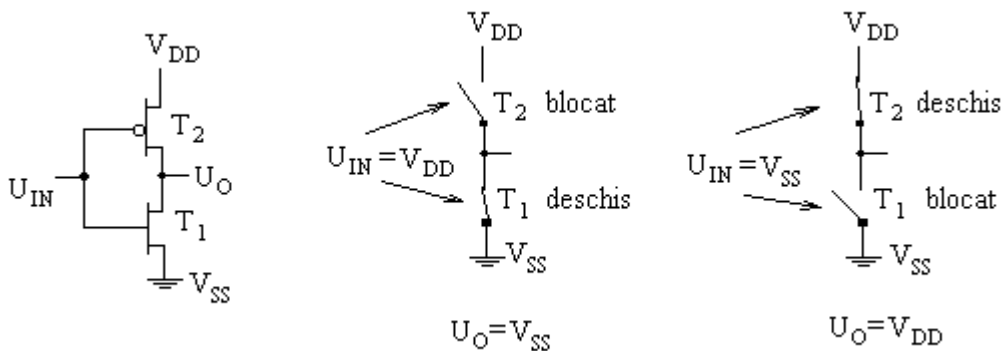


Fig.2. Funcționarea inversorului CMOS

## 1.2. Caracteristicile și parametrii porții CMOS fundamentale

### 1.2.1. Caracteristica de transfer $U_O = f(U_{IN})$ și caracteristica de curent $I_{DD} = f(U_{IN})$

Să presupunem că ambele tranzistoare au caracteristici identice (dar de semne diferite) și aceeași tensiune de prag  $U_p$ , de aproximativ 2V. De asemenea, să considerăm că la intrare se aplică o

tensiune  $U_{IN}$  care variază în intervalul  $0 \leq U_{IN} \leq U_{DD}$ . Se va considera că tensiunea de alimentare este mai mare de 4 V.

Pentru deducerea caracteristicii de transfer folosim compunerea grafică proiectând pe planul de abscisă  $U_O$  și ordonată  $I_{DD}$  caracteristicile celor două tranzistoare, fig. 3.

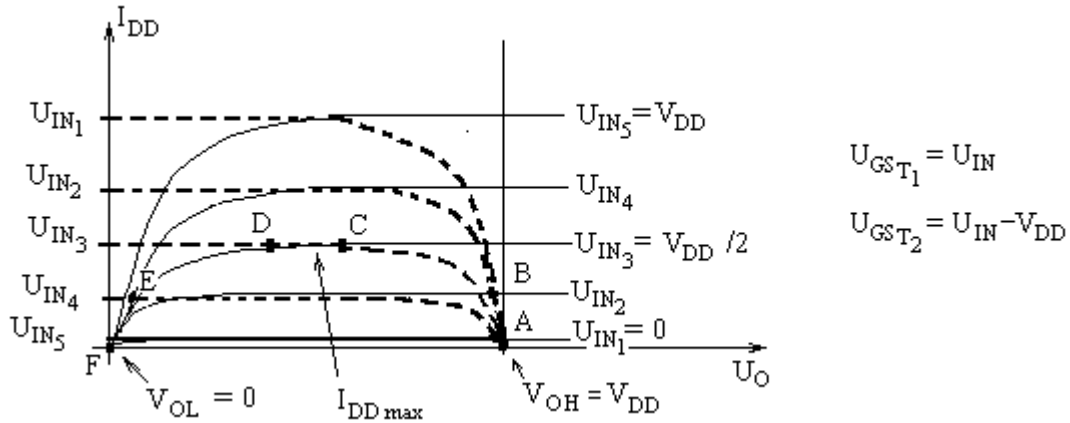


Fig. 3. Compunerea grafică pentru caracteristicile de curent ale tranzistoarelor  $T_1$  și  $T_2$

Se observă că pentru  $T_1$  caracteristicile coincid cu caracteristicile  $I_D = f(U_{DS}) \rightarrow$  figurat cu linie continuă, în timp ce pentru  $T_2$  caracteristicile  $I_D = f(U_{DS})$  sunt translate cu  $V_{DD}$  și de sens opus față al abscisei ( $T_2$  este cu canal p)  $\rightarrow$  figurate cu linie întreruptă.

Caracteristicile au fost reprezentate pentru diverse valori ale aceluiași parametru  $U_{IN}$ . Se observă că pentru același  $U_{IN}$  caracteristica pentru  $T_1$  este cea mai apropiată de abscisă în timp ce pentru  $T_2$  corespunde la caracteristica cea mai depărtată de abscisă (vezi legătura dintre  $U_{IN}$  și  $U_{GS}$  pentru cele două tranzistoare). Punctele de funcționare notate A, B, C, D, E și F se află la intersecția caracteristicilor ce corespund la  $U_{IN}$  de același indice .

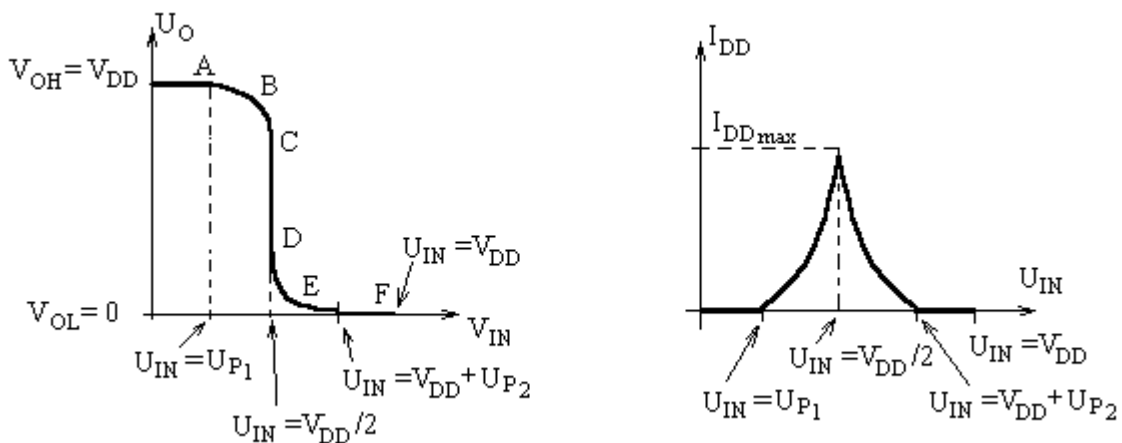


Fig. 4. Caracteristica de transfer și de curent pentru inversorul CMOS

Vom deosebi următoarele puncte de funcționare:

- **Punctul A** corespunde la tensiunea de intrare  $U_{IN1} = 0$ . Rezultă  $U_{GS1} = 0$  și  $U_{GS2} = -V_{DD}$ . Caracteristica pentru  $T_1$  se confundă practic cu abscisa și, în consecință, punctul A se caracterizează prin tensiunea de ieșire  $U_{OH} = U_{DD}$  și curentul absorbit de la sursă  $I_{DDH} = 0$ . În fig.4

punctul A coincide practic cu întregul palier caracterizat de intervalul  $U_{IN} < U_{P1}$  pentru ambele grafice.

În concluzie, din punctul de funcționare A se determină următorii parametri ai inversorului CMOS:

- $U_{OH} = U_{DD}$
- $I_{DDH} = 0$
- $U_{IL} = 0 \dots U_P$

• **Punctul B** se caracterizează prin  $U_{IN2} > U_{P1}$ . Tranzistorul  $T_1$  se deschide și lucrează în regiunea saturată (porțiunea orizontală a caracteristicii sale de curent) iar  $T_2$  lucrează în regiunea liniară (porțiunea rotunjită a caracteristicii sale). Curenții prin cele două tranzistoare sunt calculați cu relațiile specifice celor două regiuni :

$$I_{D1} = \beta_1 \frac{(U_{GS1} - U_{P1})^2}{2} = \beta_1 \frac{(U_{IN} - U_P)^2}{2}$$

$$I_{D2} = \beta_2 \left[ (U_{GS2} - U_{P2}) U_{DS2} - \frac{U_{DS2}^2}{2} \right] = \beta_2 \left[ (U_{IN} - V_{DD} - U_{P2})(U_O - V_{DD}) - \frac{(U_O - V_{DD})^2}{2} \right]$$

Egalând  $I_{D1} = I_{D2}$  se determină  $U_O = f(U_{IN})$ . Se obține o ecuație de ordin 2 atât în  $U_O$  cât și în  $U_{IN}$  caracteristica de transfer având alura de parabolă cu vârful în sus, fig. 4., porțiunea A-B-C. Se observă că în această regiune curentul absorbit de la sursă crește pe măsură ce ne deplasăm din punctul A spre punctul C. Punctul C este punctul terminal al acestei regiuni, în care  $T_2$  trece din regiunea liniară în cea de saturație.

• **Punctele de la C la D:** Crescând în continuare  $U_{IN}$ , punctul de funcționare se deplasează din C spre D în care ambele tranzistoare,  $T_1$  și  $T_2$ , sunt în regiunea saturată. Practic în această porțiune cele două caracteristici se suprapun (ambele sunt orizontale) și punctul de funcționare migrează din C în D fără a modifica tensiunea de intrare. Dacă cele două tranzistoare sunt perfect simetric (aceiași  $U_P$  și aceiași  $\beta$ ) această situație se întâmplă pentru  $U_{IN3} = V_{DD}/2$ . În această regiune se calculează curentul maxim absorbit de la sursă ținând cont că  $T_2$  este în regiunea de saturație :

$$I_{DD \max} = I_{D1} = \beta_1 \frac{(U_{GS1} - U_{P1})^2}{2} = \beta_1 \frac{(V_{DD}/2 - U_{P1})^2}{2} = \beta \frac{(V_{DD} - 2U_P)^2}{8} \quad (1)$$

• **Punctul E:** Crescând  $U_{IN}$  peste valoarea  $V_{DD}/2$  tranzistorul  $T_1$  trece în regiunea liniară iar  $T_2$  în regiunea de saturație. Curenții prin cele două tranzistoare pot fi calculați cu relațiile specifice celor două regiuni și din egalitatea  $I_{D1} = I_{D2}$  se poate determina determina  $U_O = f(U_{IN})$ . Se obține o ecuație de ordin 2 atât în  $U_O$  cât și în  $U_{IN}$ , caracteristica de transfer având alura de parabolă cu vârful în jos, fig. 4., porțiunea D-E-F. Se observă că în această regiune curentul absorbit de la sursă scade pe măsură ce ne deplasăm din punctul D spre punctul F.

**Punctul F** corespunde la tensiunea de intrare  $U_{IN5} = V_{DD}$ . Rezultă  $U_{GS1} = V_{DD}$  și  $U_{GS2} = 0$ .

Caracteristica pentru  $T_2$  se confundă practic cu abscisa și, în consecință, punctul F de intersecție se află pe abscisă (se confundă cu originea în fig.3.) și se caracterizează prin tensiunea de ieșire  $U_{OL} = 0 = V_{SS}$  și curentul absorbit de la sursă de valoare  $I_{DDL} = 0$ . În fig.3 și fig.4 punctul F coincide de fapt cu **întregul palier** caracterizat de intervalul  $V_{DD} - U_P < U_{IN} < V_{DD}$  pentru că în întreg

acest interval  $T_2$  este blocat și caracteristica sa se confundă cu abscisa ( se observă că  $V_{DD} - U_P$  este de fapt egal cu  $V_{DD} + U_{P2}$  deoarece  $T_2$  fiind cu canal tip p are  $U_{P2} < 0$  și s-a folosit notația  $U_P = U_{P1} = |U_{P2}|$  ).

În concluzie, analizând punctul de funcționare F se determină următorii parametri ai inversorului CMOS:

- $U_{OL} = V_{SS} = 0$
- $I_{DDL} = 0$
- $U_{IH} = V_{DD} - U_P \dots\dots V_{DD}$

În concluzie inversorul CMOS prezintă următoarele **avantaje** comparativ cu oricare altă familie de circuite logice:

- **Caracteristică de transfer aproape ideală** caracterizată de :
  1. porțiunea C – D verticală situată la  $U_{IN} = V_{DD}/2$ ;
  2. nivele logice la ieșire ideale  $U_{OH} = U_{DD}$  și  $U_{OL} = 0$ ;
  3. porțiunile A și F de pe caracteristica de transfer sunt orizontale;
- **Consum nul** de la sursă pentru situațiile  $U_{OH}$  și  $U_{OL}$  ;

*Observație:*

Dacă tensiunea de alimentare este exact  $V_{DD} = 2 U_P$  , atunci regiunile A-B-C și respectiv D-E-F de conducție simultană pentru cele două tranzistoare dispar. Caracteristica de transfer devine perfect dreptunghiulară și practic consumul de la sursă este nul pentru întreg intervalul tensiunilor de intrare  $0 < U_{IN} < V_{DD}$ .

### 1.2.2. Puterea consumată

Deosebim :

- putere consumată în regim static;
- putere consumată în regim dinamic;

Puterea consumată în regim static de poarta CMOS este practic nulă deoarece atât pentru nivel  $U_{OH}$  la ieșire cât și pentru nivel  $U_{OL}$  curentul absorbit de la sursă, fig.4. , este extrem de mic având o valoare tipică de  $I_{DD} \approx 0,01 \mu A$ .

Puterea consumată dinamic are în vedere două componente :

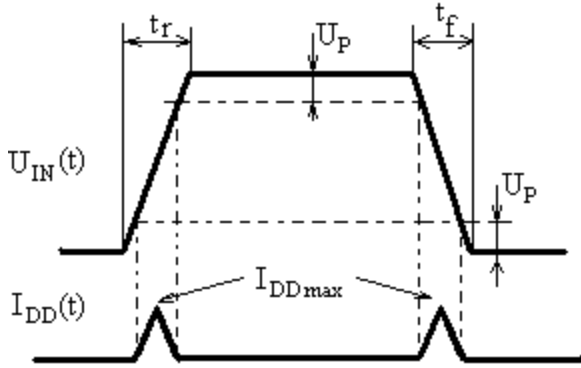
1. Putere consumată datorită sarcinii capacitive.

La bascularea ieșirii din  $U_{OL}$  în  $U_{OH}$  sarcina capacitivă C se încarcă și acumulează cantitatea de energie  $\frac{CV_{DD}^2}{2}$  ; presupunând că în unitatea de timp au loc f (f = frecvența ) comutări înseamnă

că puterea disipată pe această cale este  $P_{din 1} = f \frac{CV_{DD}^2}{2}$ .

2. Putere consumată datorită conducției simultane a celor două tranzistoare.

Atât timp cât tensiunea de intrare  $U_{IN}$  este cuprinsă în intervalul  $U_P \leq U_{IN} \leq U_{DD} - U_P$  cele două tranzistoare conduc simultan și pentru determinarea acestei componente a puterii dinamice disipate se folosește diagrama din fig. 5.



Energia consumată într-o perioadă este:

$E = U_{DD} \cdot I_{DD\ med} \cdot \tau$  unde s-a notat

$I_{DD\ med} = I_{DD\ max}/2$  iar  $I_{DD\ max}$  este dat de (1), și

$\tau = \frac{V_{DD} - 2U_p}{V_{DD}} \cdot (t_r + t_f)$  este timpul de conducție

simultană al celor două tranzistoare.

Considerând  $f$  perioade de comutare într-o secundă, puterea consumată va fi

$$P_{din\ 2} = (V_{DD} - 2U_p) \cdot \beta \frac{\left(\frac{V_{DD}}{2} - U_p\right)^2}{4} \cdot (t_r + t_f) \cdot f \quad \text{Fig.}$$

### 5. Intervalul de conducție simultană

Se determină deci

$$P_{din\ 2} = \frac{\beta}{16} (V_{DD} - 2U_p)^3 \cdot (t_r + t_f) \cdot f$$

unde  $t_r$  și  $t_f$  sunt duratele fronturilor de creștere și respectiv descreștere ale impulsurilor de la intrare.

*Observație:* Cea de a doua componentă a puterii disipate dinamic nu depinde de capacitatea  $C$  care încarcă circuitul. În realitate, aceasta capacitate parazită mărește durata fronturilor de la ieșirea circuitului, ceea ce duce la **creșterea puterii disipate la circuitele care urmează** după circuitul luat în calcul de noi.

Pentru frecvențe mai mari de 1 MHz, puterea dinamică consumată de o poartă CMOS (pentru  $U_{DD}=15V$ ) ajunge să depășească 10mW fiind comparabilă cu o poartă TTL standard..

### 1.2.3. Nivele logice, imunitate de zgomot, margine de zgomot

Nivelele logice la ieșirea porții CMOS au fost definite la trasarea caracteristicii de transfer și sunt  $V_{OL}=0\ V$  (indiferent de alimentarea  $V_{DD}$ ) iar  $V_{OH}=V_{DD}$ .

Dacă la intrare se aplică  $U_{IN}=0$  sau  $U_{IN}=U_{DD}$  atunci nivelele logice de la ieșire sunt sigur cele amintite anterior. În plus față de aceste considerații strict punctuale, pentru nivelele acceptate la intrare se recomandă următoarele intervale :

- $V_{IL}$  – Tensiunea la intrare garantată pentru nivel L, care nu duce la modificarea nivelului de la ieșire. Se garantează valoarea maximă a nivelului L la intrare ca fiind  $V_{IL\ max}=0,3 \cdot V_{DD}$ ;

- $V_{IH}$  – Tensiunea la intrare, garantată pentru nivel H, care nu duce la modificarea nivelului de ieșire. Se garantează valoarea minimă pentru nivelul H la intrare ca fiind  $V_{IH\ min}=0,7 \cdot V_{DD}$

Se garantează în acest fel **o margine de zgomot** de:

$$V_{NIL} = |V_{OL} - V_{IL\ max}| \cong 0,3 \cdot V_{DD} \quad (\text{NIL-noise immunity low level})$$

$$V_{NIH} = |V_{OH} - V_{IH\min}| \cong 0,3 \cdot V_{DD} \quad (\text{NIH} - \text{noise immunity high level})$$

*Exemplu numeric :*

Pentru  $V_{DD} = 5V$  se obține:  $V_{NIL}=1,5V=V_{NIH}$

Pentru  $V_{DD} = 10V$  se obține  $V_{NIL}=3V=V_{NIH}$

Pentru  $V_{DD} = 15V$  se obține  $V_{NIL}=4,5V=V_{NIH}$

Grafic, marginea de zgomot garantată arată ca în fig. 6.

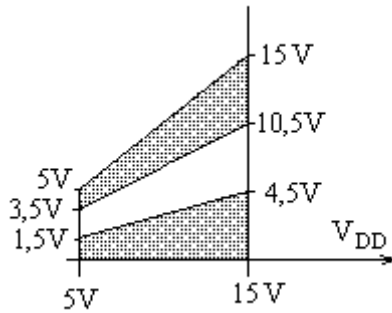


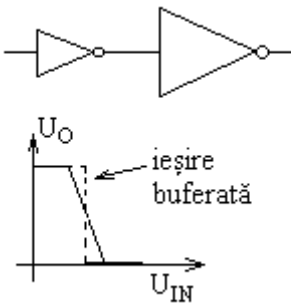
Fig. 6. Marginea de zgomot CMOS

Unele firme (National Semiconductor) garantează o margine de zgomot de 1V în sensul următor: pentru ca ieșirea să fie în limitele a  $0,1 \cdot V_{DD}$  față de nivelele  $V_{OL}$  și  $V_{OH}$  definite, se permite ca intrarea să fie în limitele a  $(0,1 \cdot V_{DD} + 1)V$  față de 0V sau  $+V_D$ .

**Imunitatea la zgomot** a circuitelor logice CMOS este foarte bună, de cca  $0,45 \cdot V_{DD}$ . Aceasta înseamnă că semnalele parazite care diferă cu până la  $0,45 \cdot V_{DD}$  față de nivelele  $V_{OL}$  sau  $V_{OH}$ , nu se vor propaga prin sistem ca un nivel logic eronat. Bineînțeles că după prima poartă prin care trece, semnalul parazit va apărea, dar cu o amplitudine mai mică. Pe măsură ce se propagă prin sistem, semnalul va fi atenuat de fiecare circuit prin care trece, până ce în final va dispărea. De exemplu, pentru un circuit basculant bistabil tipic, un semnal de zgomot de maxim  $0,45 \cdot V_{DD}$  pe linia de tact nu va cauza bascularea circuitului.

### Ieșiri buferate

În vederea îmbunătățirii caracteristicii de transfer, o serie de circuite realizate în tehnică CMOS – bistabile, monostabile, registre, numărătoare – prezintă la ieșire două circuite NU înseriate, fig. 7. Astfel de ieșiri poartă numele de ieșiri buferate (buffered outputs). Din punct de vedere logic cele două inversoare reprezintă o identitate. Această soluție realizează îmbunătățirea caracteristicii de transfer, creșterea imunității la zgomot și scăderea impedanței de ieșire a circuitului (**al doilea inversor are geometrie mărită** ceea ce asigură un coeficient  $\beta$  mărit și implicit o rezistență de ieșire Fig. 7. Ieșiri buferate mai mică).



### 1.2.4. Curent de intrare și ieșire pentru inversorul CMOS

Schema echivalentă a unui circuit de intrare al unei porți CMOS este constituită dintr-o rezistență foarte mare  $10^{12}\Omega$ , în paralel cu o capacitate de 5pF. Practic impedanța de intrare se consideră a fi **pur capacitivă**. În consecință, curentul static de intrare în poartă este foarte mic:

$$I_{IH} = -10^{-5} \mu A$$

$$I_{IL} = +10^{-5} \mu A$$

(convenția de semne este "+" curentul care intră și "-" curentul care iese din poartă)

În ceea ce privește caracteristicile de ieșire, acestea coincid cu caracteristicile  $I_D=f(U_{DS})$  ale tranzistorului care este deschis  $T_1$  sau  $T_2$ , ținând cont de legătura între  $U_0$ ,  $V_{DS}$ ,  $I_D$  și  $I_0$ .

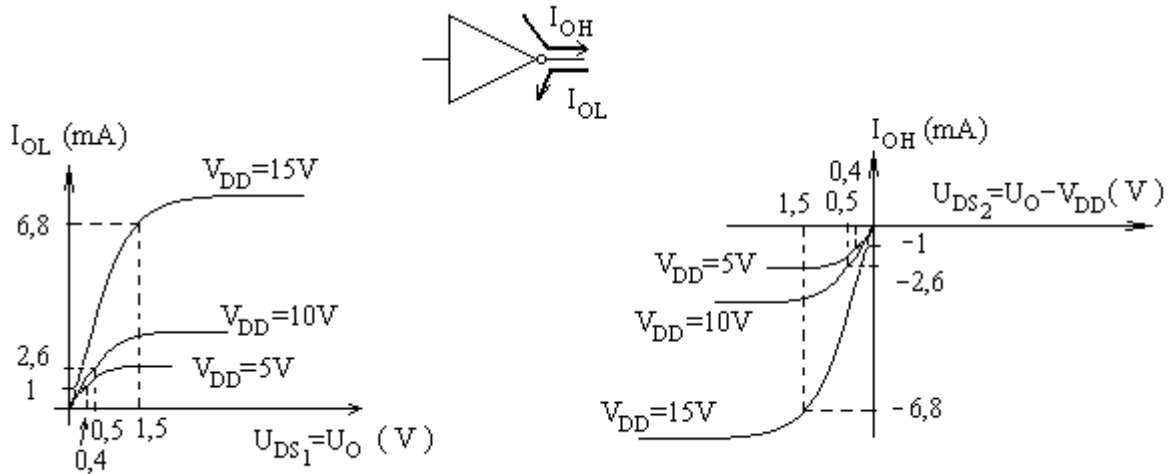


Fig. 8. Curent de ieșire pentru nivel L la ieșire și pentru nivel H

Astfel pentru nivel L la ieșire este deschis tranzistorul  $T_1$ . În acest caz se determină  $U_0=U_{DS1}$ ;  $U_{GS1}=U_{IN}$  și  $I_0=I_D$ .

Considerând poarta comandată de o alta similară, rezultă că  $U_{IN}=U_{DD}$  ( $T_1$  deschis) deci caracteristicile diferă în funcție de tensiunile de alimentare  $V_{DD}$ .

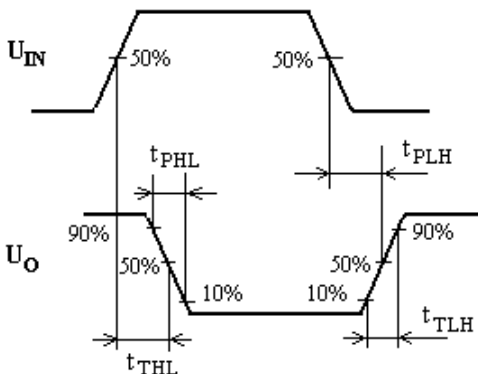
Valorile garantate pentru această situație (pentru circuite din seria 4000) sunt:

- $I_{OL} = 1\text{mA}$  pentru  $V_{DD}=5\text{V}$  și  $U_0=0,4\text{V}$
- $I_{OL} = 2,6\text{mA}$  pentru  $V_{DD}=10\text{V}$  și  $U_0=0,5\text{V}$
- $I_{OL} = 6,8\text{mA}$  pentru  $V_{DD}=15\text{V}$  și  $U_0=1,5\text{V}$

Pentru nivel H la ieșire,  $T_2$  este deschis, și caracteristicile arată ca în fig. 8.b. iar valorile garantate (seria 4000) ale curenților sunt:

- $I_{OH} = -1\text{mA}$  pentru  $V_{DD}=5\text{V}$  și  $U_0=4,6\text{V}$
- $I_{OH} = -2,6\text{mA}$  pentru  $V_{DD}=10\text{V}$  și  $U_0=9,5\text{V}$
- $I_{OH} = -6,8\text{mA}$  pentru  $V_{DD}=15\text{V}$  și  $U_0=13,5\text{V}$

*Observație.* S-au indicat valorile tipice ale curenților pentru circuitele produse la Microelectronica. Circuitele produse de alte firme au indicate alte valori pentru curenți (în general mai mici).



### 1.2.5. Caracteristici dinamice

Pentru un inversor se definesc fig 9.



- $t_{pLH}$  – timp de propagare la variația ieșirii din L în H;
- $t_{pHL}$  – timp de propagare la variația ieșirii din H în L;
- $t_{TLH}$  – timpul de tranziție din L în H; Se măsoară între valorile de 10% și 90% din  $V_{DD}$ ;
- $t_{THL}$  – timpul de tranziție din H în L.

Fig. 9. Parametrii dinamici ai unui inversor

Valorile tipice pentru acești timpi **pentru un circuit din seria 4000** în condițiile în care la intrare se aplică un semnal  $U_{IN}$  cu  $t_{rise}=t_{fall}=20ns$  și sarcina este  $C_L=50pF$ ,  $R_L=200K\Omega$ , sunt:

$t_{pLH}=t_{pHL}=$     **125ns** pentru  $V_{DD}=5V$ ;  
                               **60ns** pentru  $V_{DD}=10V$ ;  
                               **45ns** pentru  $V_{DD}=15V$ ;  
 $t_{TLH}=t_{THL}=$     **100ns** pentru  $V_{DD}=5V$ ;  
                               **50ns** pentru  $V_{DD}=10V$ ;  
                               **40ns** pentru  $V_{DD}=15V$ .

Se face observația că în cazul unei sarcini capacitive care încarcă un circuit CMOS, imediat după comutare tensiunea de ieșire variază în **rampă (liniar)** datorită comportării tranzistorului MOS ca o **sursă de curent constant**. Abia când tensiunea de ieșire se apropie de valoarea finală ( $V_{DD}$  sau masă) curba tensiunii de ieșire se rotunjește deoarece tranzistorul MOS intră în regiunea liniară, curentul său de drenă scăzând.

Datorită acestei comportări a tranzistorului MOS ca o sursă de curent, circuitele CMOS sunt **foarte sensibile la creșterea sarcinii capacitive** – în sensul că acesta determină creșterea accentuată (proporțional cu  $C_L$ ) a timpilor de tranziție și deci scăderea vitezei. Din această cauză fan-out-ul circuitelor CMOS aparent infinit (curent de intrare nul) este drastic limitat (cca 25) datorită capacităților de intrare care intervin în paralel și determină timpi de tranziție inacceptabili de mari.

Pe de altă parte, odată cu creșterea tensiunii de alimentare  $V_{DD}$ , crește și tensiunea de intrare  $U_{IN}$  ceea ce duce la creșterea ( $|U_{IN}|=|U_{GS}|=V_{DD}$ ) curentului de drenă al tranzistoarelor MOS (variază proporțional cu  $V_{DD}^2$ ) și deci la scăderea timpilor de propagare și tranziție prin încărcarea mai rapidă a capacităților de sarcină.

În concluzie, pentru un montaj dat, având capacitățile de sarcină fixate, prin **creșterea tensiunii de alimentare** va **crește viteza** sistemului dar și puterea disipată.

### 1.3. Interfațarea circuitelor CMOS cu alte circuite logice

Atunci când se face interfațarea între diferite tipuri de circuite logice, problema care se pune este de a asigura **compatibilitatea tensiunilor** și **compatibilitatea curenților** asigurați la ieșire de poarta care comandă cu cei ceruți la intrare de poarta comandată.

În cele ce urmează vom analiza interfațarea dintre circuitele CMOS și cele TTL.

a) Circuit TTL comandă un circuit CMOS

În primul rând se consideră, evident, circuitul CMOS alimentat la tensiune de  $+V_{DD}=5V$  de aceeași valoare cu alimentarea  $V_{CC}$  a circuitelor TTL..

Curenții de intrare la circuitul CMOS fiind foarte mici, nu există probleme în acest sens.

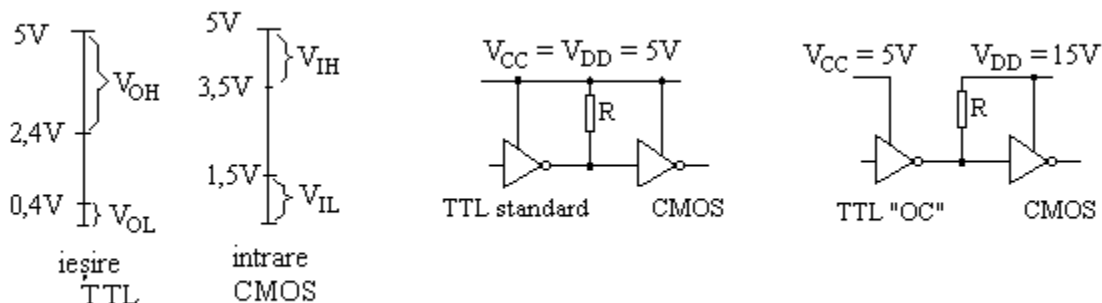


Fig. 10. Interfața TTL – CMOS

În ceea ce privește nivelele de tensiune, fig. 10., se observă că în cazul nivelului L nu există probleme. În schimb, în cazul nivelului H, dacă se ia valoarea asigurată de catalog pentru ieșirea TTL de  $V_{OH} \geq 2,4V$ , aceasta nu satisface intrarea unui circuit CMOS alimentat la 5 V.

În realitate, însă, având în vedere curentul foarte mic debitat de ieșirea TTL către intrarea CMOS, nivelul  $V_{OH}$  va fi de 3,4 – 3,6V (ieșire TTL în gol), suficient pentru **comanda la limită** pentru o intrare CMOS. Pentru orice eventualitate se recomandă utilizarea un rezistor R ("pull-up-rezistor") către sursa  $V_{DD}$ .

În dimensionarea acestuia se are în vedere că atunci când circuitul TTL este cu 0 logic la ieșire să nu se depășească curentul de 16mA,  $R \geq \frac{V_{DD} - V_{OL}}{I_{01TTL}} \cong 0,3K\Omega$ . Se recomandă ca circuitul TTL

utilizat pentru o astfel de legătură să fie utilizat **numai** pentru comanda porților CMOS – nu și alte tipuri (fie ele TTL).

În cazul circuitelor CMOS alimentate la tensiuni mai mare (de exemplu  $V_{DD} = 15 V$ ) soluția de interfațare propune utilizarea unui circuit TTL „open collector”, fig. 10.

b)Circuit CMOS comandă intrareTTL

Pentru situația în care ieșirea circuitului CMOS este 1 logic atât nivelul de tensiune cât și valoarea și sensul curentului corespund cu cele necesare la intrarea TTL, și anume :

Ieșire CMOS : 1mA pentru  $V_{OH} \geq 4,6V$

Intrare TTL : 40μA și  $V_{IH} \geq 2V$

Pentru situația 0 logic însă se constată că o ieșire CMOS ( 1mA pentru  $V_{OL} \leq 0,4V$  ) nu poate conduce decât două intrări TTL de joasă putere sau o intrare TTL Schottky de joasă putere. O poartă CMOS nu poate conduce o intrare TTL standard care necesită  $I_{IL}=1,6mA$ .

În legătură cu această din urmă observație se fac unele precizări:

-ieșirea CMOS asigură 1mA pentru  $V_{OL}=0,4V$  acolo unde tranzistorul MOS lucrează în regiunea liniară. În regiunea de saturație tranzistorul poate asigura cca 1,2÷1,3mA, deci în nici un caz 1,6mA;

-valoarea  $I_{IL}=1,6mA$  pentru intrarea TTL este cea asigurată de catalog ; în realitatea practică, la intrarea TTL este necesar un curent mai mic de cca 1mA.

Rezultă deci că poarta CMOS ar fi exact la limita de a comanda o intrare TTL standard.

Soluțiile care se recomandă sunt:

- folosirea unei porți CMOS specială – buffer – din seria 4000, fie în varianta invertoare – 4049 –, fie neinvertoare – 4050. Acestea pot comanda două intrări TTL standard. În plus, pot admite tensiuni de intrare mai mare de  $+V_{DD}$ , putând face trecere de la circuite CMOS alimentate la o tensiune mai mare la circuite TTL alimentate la 5V.
- folosirea a două porți legate în paralel (și intrare și ieșire);
- legarea în paralel a intrărilor unei porți SAU-NU CMOS.

În ambele cazuri se asigură punerea în paralel a două tranzistoare MOS care împreună pot comanda o intrare TTL.

#### 1.4. Circuite pentru protejarea intrărilor

Așa cum s-a mai amintit, impedanța de intrare a unui circuit CMOS se prezintă ca o rezistență extrem de mare  $10^{12}\Omega$  în paralel cu o capacitate mică de 5pF . Practic se consideră că impedanța de intrare CMOS este pur capacitivă..

Această capacitate fiind foarte mică, este suficientă o sarcină electrică mică pentru a se obține tensiuni electrice mari (  $Q = C \cdot U$  ) la bornele capacității. O astfel de cantitate de sarcină electrică poate fi furnizată de o sursă de energie extrem de slabă cum ar fi, de exemplu, simpla frecare cu aerul. Tensiunea mare la care se încarcă această capacitate poate străpunge stratul de oxid determinând distrugerea circuitului. Se face observația că stratul de oxid rezistă la o tensiune de 80-100V și o singură străpungere a stratului izolator este suficientă pentru distrugerea sa. În aceste condiții se constată că păstrarea, manipularea și utilizarea circuitelor CMOS ar fi extrem de delicată putând duce foarte ușor la distrugerea lor.

În scopul protejării circuitelor CMOS, toate intrările acestor circuite care sunt scoase vla un picior al integratului sunt protejate (pentru porțile interne ale circuitului se iau măsuri de precauție speciale în timpul fabricării acestora și apoi, odată ce intrările au fost conectate la ieșiri conform schemei logice, pericolul distrugerii prin străpungere dispare).

În fig. 11. este prezentat circuitul de protecție specific unei intrări CMOS.

În legătură cu această schemă se fac următoarele observații:

- grila lui  $T_1$  acoperă sursa lui  $T_1$ , substratul  $p^-$  și parțial drena lui  $T_1$  : apar capacități parazite între grilă și fiecare din aceste regiuni. Similar grila lui  $T_2$  acoperă sursa lui  $T_2$ , substratul  $n^-$  și drena lui  $T_2$ . În consecință capacitatea de intrare apare ca fiind distribuită sub forma capacităților  $C_1$  ,  $C_2$  și  $C_3$  figurate punctat în fig. 11. Străpungerea oricăreia dintre aceste capacități este distructivă !

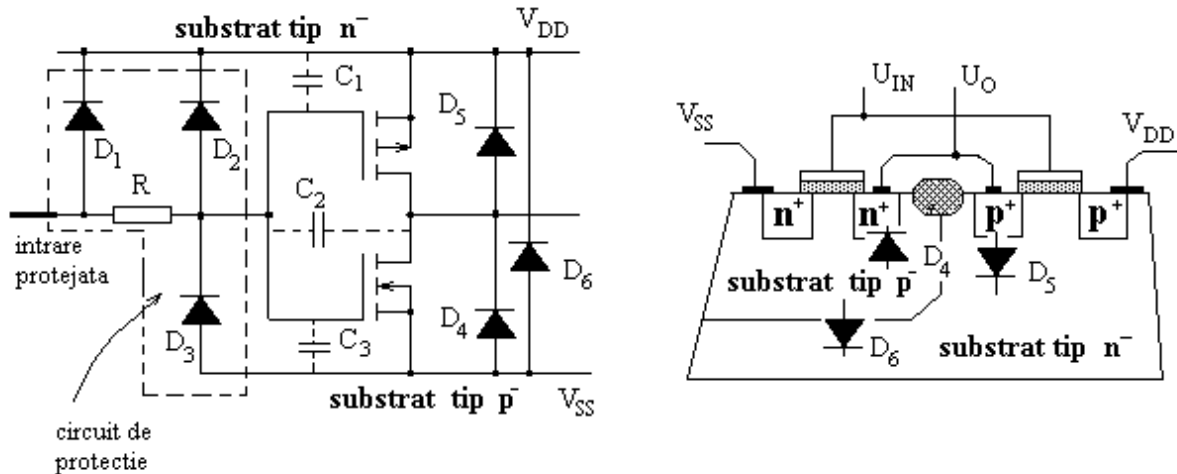


Fig. 11. Circuit de protecție pentru intrări CMOS

Circuitul de protecție propriu-zis constă în diodele  $D_1$ ,  $D_2$ ,  $D_3$  și rezistența  $R$  (în valoare de 200-300  $\Omega$ ). Diodele din circuitul de protecție au tensiunea de deschidere directă de cca 0,7V, iar, la polarizare inversă, tensiunea în zona Zenner de cca 25V. Rezistența  $R$  acționează ca o rezistență de limitare a curenților prin diodele de intrare protejându-le pe acestea.

Diodele  $D_4$ ,  $D_5$ , și  $D_6$  sunt intrinseci circuitului CMOS și anume:

$D_4$  este joncțiunea p-n dintre substratul de tip p și drena lui  $T_1$  care este de tip semiconductor n;

$D_5$  este joncțiunea p-n dintre drena lui  $T_2$  care este siliciu de tip p și substratul n;

$D_6$  este joncțiunea p-n dintre substratul tip p și substratul de tip n.

Tensiunea Zenner pe diodele intrinseci este : pentru  $D_4$  și  $D_5 \rightarrow 60V$  iar pentru  $D_6 \rightarrow 100V$ .

Circuitul de protecție asigură protejarea contra încărcării la tensiuni periculoase pentru oricare dintre capacitățile  $C_1$ ,  $C_2$  sau  $C_3$  figurate, indiferent de polaritatea cu care ar tinde să se încarce.

Astfel  $C_1$  este în paralel cu dioda  $D_2$  și nu se poate încărca decât la maxim 0,7V (cu o polaritate) sau 25V cu cealaltă polaritate. La tensiuni mai mari se deschide dioda. Aceste tensiuni nu produc distrugerea circuitului.

Similar,  $C_3$  fiind în paralel cu  $D_3$ , nu se încarcă nici el la tensiuni periculoase.

Dacă luăm în considerare  $C_2$ , observăm că aceasta este în paralel cu  $D_5$  (polarizată direct) înseriată cu  $D_2$  (polarizată invers) sau cu  $D_4$  (polarizată direct) înseriată cu  $D_3$  (polarizată invers). În consecință  $C_2$  se poate încărca la maxim  $U_Z + 0,7V$  adică la maxim 25,7V (indiferent de polaritate), tensiune care este nedistructivă.

*Observație* : ținând cont de modul de realizare a rezistenței de intrare  $R$  se observă că cele două diode  $D_1$  și  $D_2$  sunt de fapt joncțiunea p-n dintre corpul rezistenței și substratul n, vezi fig. 12,.

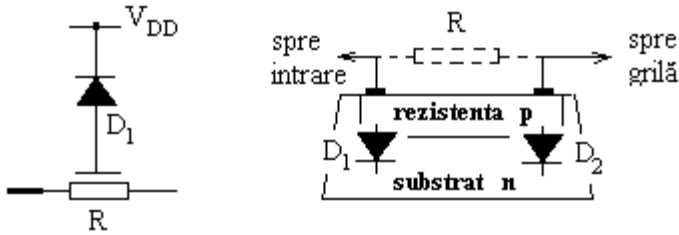


Fig. 12. Realizarea diodelor  $D_1$  și  $D_2$  precum și a rezistenței  $R$

Chiar dacă intrările circuitului CMOS sunt protejate la utilizarea acestora se vor avea în vedere o serie de precauții;

a). Tensiunea de intrare să varieze în domeniul  $0 \leq U_{IN} \leq V_{DD}$  (evident când sursa de semnal este alt circuit decât o poartă CMOS); în caz contrar pot fi distruse chiar diodele de la intrare.

b). Sursa de alimentare  $V_{DD}$  nu trebuie oprită în timp ce se aplică semnal de la un generator **extern** cu impedanță de ieșire mică, la intrarea circuitului CMOS. Dacă  $V_{DD}$  este oprită, atunci semnalul de la generator poate distruge diodele de la intrare.

c). În manipulare, circuitele CMOS trebuie să fie ambalate în suporturi metalici, eventual reglete speciale "Antistat".

d). Sculele metalice cu care se lucrează, aparatele electrice, ciocanele de lipit etc., trebuie să fie legate la pământ.

e). **Intrările neutilizate nu se vor lăsa în aer**, atât datorită semnalelor parazite, fie ele chiar de energie mică, cât și datorită posibilității distrugerii. Acestea vor fi legate fie la masă, fie la  $+V_{DD}$ , după cum permite funcția logică. Nu se recomandă legarea intrărilor neutilizate împreună cu alte intrări (chiar dacă funcția logică ar permite) deoarece aceasta ar duce la creșterea capacității de intrare.

## 2. Porți CMOS

### 2.1. Poarta de transmisie CMOS

Poarta de transmisie realizată în tehnologie CMOS este prezentată în fig. 13.

#### Construcție

Cele două tranzistoare MOS, puse în paralel, sunt  $T_1$  cu canal indus de tip n iar  $T_2$  cu canal indus tip p. Fiecare tranzistor are **construcție simetrică, putând conduce în ambele sensuri**. Cele două tranzistoare sunt comandate în grilă de semnale complementare notate  $CL$  respectiv  $\overline{CL}$

Tranzistorul  $T_1$ , cu canal n, are același substrat de tip p cu restul porților logice cu care este pe chip. Substratul p este legat la cel mai negativ potențial  $\rightarrow$  în figură este masa. Tranzistorul este comandat de semnalul  $CL$  și poate fi deschis dacă pe grila sa se aplică potențial pozitiv, adică pentru semnal  $CL=1$ .

Tranzistorul  $T_2$ , cu canal p, are același substrat de tip n cu restul porților logice. Substratul n este legat la cel mai pozitiv potențial  $\rightarrow$  în figură este  $+V_{DD}$ . Tranzistorul este comandat de semnalul  $\overline{CL}$  și poate fi deschis dacă pe grila sa se aplică potențial scăzut, adică pentru semnal  $\overline{CL} = 0$ .

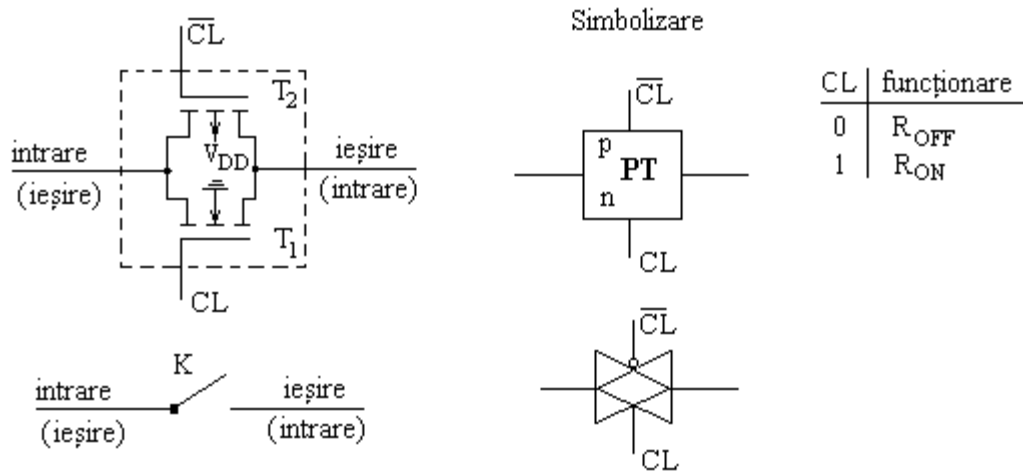


Fig. 13. Poarta de transmisie CMOS

### Funcționare

Dacă se aplică semnal  $CL=0$  (implicat  $\overline{CL}=1$ ), ambele tranzistoare (și  $T_1$  și  $T_2$ ) sunt blocate și între intrare și ieșire se realizează o rezistență foarte mare de ordinul  $10^9 \Omega$ , situație care se notează cu  $R_{OFF}$ .

Dacă la intrarea de comandă se aplică semnal  $CL=1$ , ambele tranzistoare sunt deschise și între intrare și ieșire se realizează o rezistență mică notată  $R_{ON}$ . Valoarea acestei rezistențe depinde de dimensiunea tranzistoarelor, de tensiunea de alimentare  $V_{DD}$  și de valoarea tensiunii aplicate pe intrare. Uzual, pentru porțile de transmisie din seria 4000, rezistența  $R_{ON}$  are valori de 50-150  $\Omega$ .

O analiză atentă a conducției în funcție de valoarea tensiunii aplicate la intrare pune în evidență faptul că pentru tensiunea de intrare având valori de mijloc  $U_P < U_{IN} < V_{DD} - U_P$  conduc ambele tranzistoare în timp ce pentru  $0 < U_{IN} < U_P$  conduce numai  $T_2$  (tranzistorul cu canal p), iar pentru  $V_{DD} - U_P < U_{IN} < V_{DD}$  conduce numai  $T_1$  (vezi diferența față de poarta de transmisie MOS).

Folosind două tranzistoare complementare, fiecare cu construcție simetrică, poarta de transmisie CMOS este **bidirecțională**, putând conduce curent în ambele sensuri, în acest fel intrarea și ieșirea fiind interschimbabile.

În fapt poarta de transmisie CMOS are funcționarea unui comutator K putând realiza un excelent raport  $R_{OFF}/R_{ON}$  de ordinul de mărime  $10^7$  (printre cele mai performante comutatoare electronice).

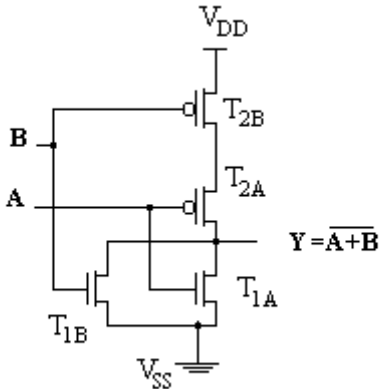
Poarta de transmisie CMOS poate transmite atât semnale logice cât și **analogice** cu condiția ca acestea să se încadreze în intervalul  $0 - V_{DD}$ . În cazul utilizării drept comutator în legătură cu **semnale analogice bipolare**, există porți de transmisie speciale care au legat substratul p la potențial negativ (mai negativ decât alternanța negativă a semnalului bipolar). Evident, și la acestea, comanda porții se dă cu semnalul logic  $CL$  și  $\overline{CL}$  de nivele CMOS.

## 2.2. Porți CMOS

Pornindu-se de la poarta fundamentală CMOS se poate genera cu ușurință o întreagă familie de circuite logice. În cele ce urmează se vor prezenta principalele tipuri de porți.

### 2.2.1. Poarta SAU-NU

Schema electrică pentru poarta NOR cu două intrări realizată în tehnologie CMOS este prezentată în fig. 14



Constructiv, se remarcă plasarea în paralel a celor două tranzistoare nMOS notate  $T_{1A}$  și  $T_{1B}$ , în timp ce tranzistoarele pMOS  $T_{2A}$  și  $T_{2B}$  sunt înseriate.

Funcționarea porții este următoarea:

Dacă  $A=B=0$ , ambele tranzistoare nMOS sunt blocate și ambele tranzistoare pMOS sunt deschise. La ieșire se obține 1 logic. Dacă cel puțin una din intrări are 1 logic (de exemplu, A), atunci tranzistorul nMOS corespunzător este deschis ( $T_{1A}$  în exemplul considerat), iar tranzistorul pMOS respectiv este blocat ( $T_{2A}$ ). La ieșire se obține 0 logic.

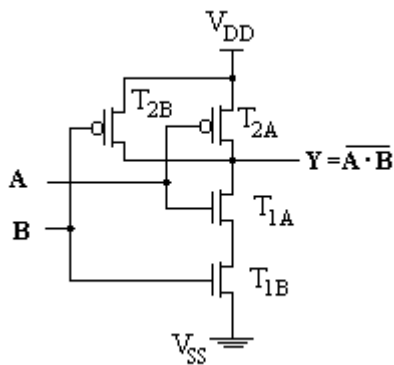
Funcționarea descrisă corespunde funcției SAU-NU.

Fig. 14. Circuit SAU-NU

Circuitul poate fi imediat extins adăugând pentru fiecare nouă intrare a porții câte o pereche de tranzistoare MOS, unul nMOS în paralel cu celelalte și unul pMOS înseriat.

### 2.2.2. Poarta ȘI-NU

În figura 15 este prezentată schema porții ȘI-NU.



Se remarcă construcția duală față de poarta SAU-NU – plasarea în paralel a tranzistoarelor pMOS și în serie a tranzistoarelor nMOS.

Funcționarea este în consecință.

Dacă cel puțin una din intrări este pe 0 logic, tranzistorul nMOS corespunzător este blocat în schimb tranzistorul pMOS respectiv este deschis și la ieșire se obține 1 logic. Dacă ambele intrări sunt în 1 logic, atunci ambele tranzistoare nMOS sunt deschise și cele pMOS blocate. La ieșire se obține 0 logic.

Și în acest caz extinderea funcției se face prin adăugarea unei perechi de tranzistoare complementare.

Fig.15. Circuit ȘI-NU

*Observație:* Circuitele ȘI-NU și SAU-NU realizate în seria 4000 pot avea atât intrările cât și ieșirile buferate.

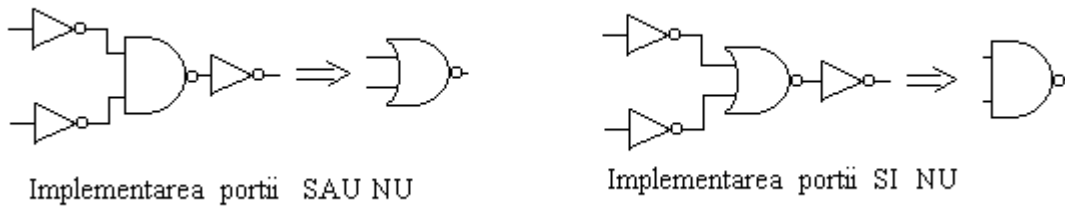


Fig. 16 . Circuite SAU-NU , SI-NU buferate

### 2.2.3. Poarta SAU-EXCLUSIV

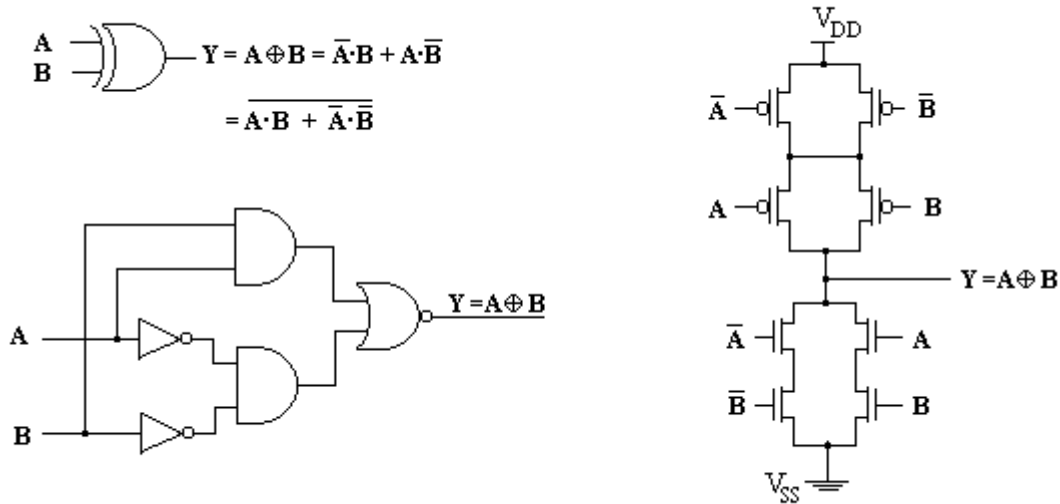


Fig. 17. Poarta SAU-EXCLUSIV

Implementarea din fig. 17. urmărește îndeaproape expresia logică. Funcționarea poate fi urmărită pe această cale destul de ușor.

În fig. 18. s-au prezentat alte variante de implementare a porții XOR în care se face apel și la utilizarea porții de transmisie. Și funcționarea acestora poate fi urmărită fără probleme. Astfel, în cazul primului circuit, se observă că variabila A comandă în opoziție cele două porți de transmisie. La intrarea acestora se aplică variabila B și respectiv negata acesteia. Dacă A = 0 atunci este validată prima poartă de transmisie prin care la ieșire ajunge B. Dacă A = 1 este validată cealaltă poartă de transmisie și la ieșire ajunge  $\overline{B}$ .

Pentru cea de-a doua variantă se observă că variabila B pur și simplu acționează ca „alimentare” pentru inversorul format cu cele două tranzistoare complementare. Astfel, dacă B = 1 atunci inversorul este alimentat și tot B = 1 blochează poarta de transmisie. Variabila A aplicată la inversor este negată și la ieșire ajunge  $\overline{A}$ . Dacă B = 0, atunci ambele tranzistoare ale



inversorul sunt blocat („nu sunt alimentate”) în schimb poarta de transmisie este deschisă. Variabila A prin poarta de transmisie ajunge la ieșire.

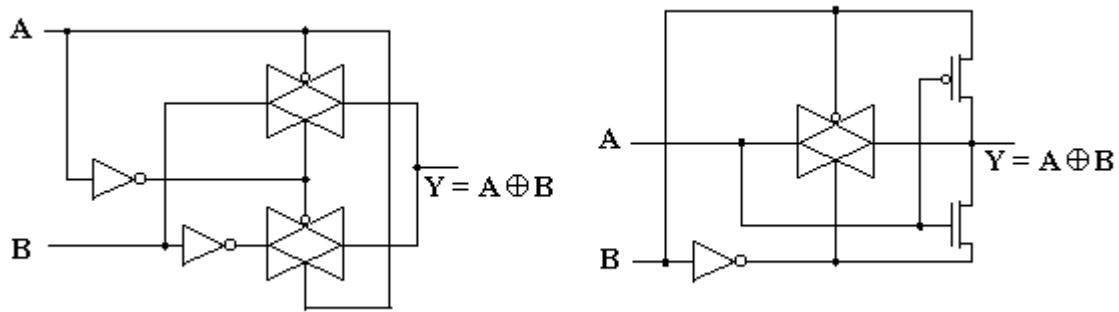


Fig. 18. Variante de realizare pentru SAU-EXCLUSIV

### 2.2.4. Circuit cu trei stări

În cazul circuitelor logice având etaje de ieșire în contratimp (circuite TTL și CMOS) nu este permisă legarea împreună a ieșirilor. În schimb, foarte ușor poate fi realizat un circuit logic cu trei stări, fig. 19.

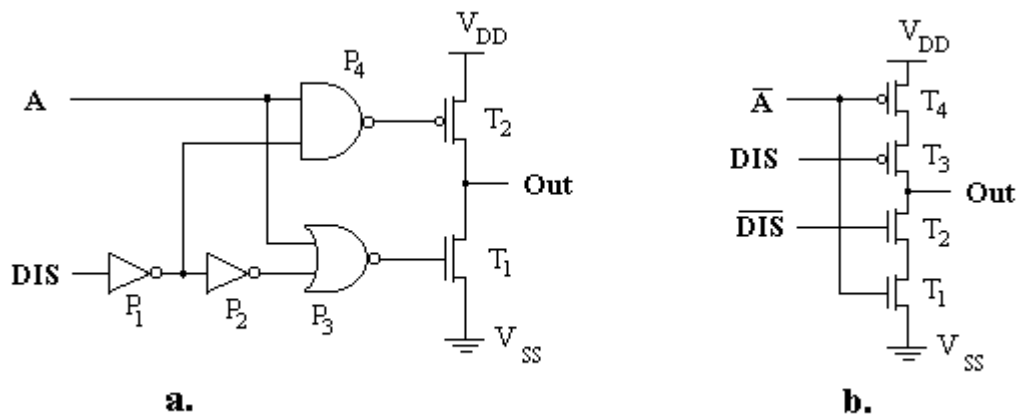
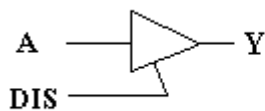


Fig. 19. Două variante de circuit neinversor cu trei stări



DIS	A	Out
0	0	0
0	1	1
1	X	High Z

Fig. 20 Poarta cu trei stări; simbolizare și tabel de adevăr

În fig. 19. sunt prezentate două variante de porți neinversoare cu trei stări .

Varianta a. este circuitul 4053 și funcționează astfel:

- dacă se aplică 0 logic la intrarea de validare

(DIS = disable), adică DIS = 0, atunci poarta P<sub>1</sub> are la ieșire simbolul 1 care este element neutru la intrarea porții SI-NU, iar poarta P<sub>2</sub> aplică 0, care este tot element neutru, pentru poarta SAU-NU. Pe cealaltă intrare a porților P<sub>3</sub> și P<sub>4</sub>

se aplică variabila  $A \rightarrow$  la ambele porți la ieșire va rezulta  $\bar{A}$ . Celor două tranzistoare complementare  $T_1$  și  $T_2$  li se aplică în grilă același simbol  $\bar{A}$  ca și cum ar fi legate împreună și ar constitui un inversor. Acestea vor acționa în consecință și la ieșire rezultă  $A$ .

Dacă  $DIS=1$ , atunci ieșirea porții ȘI-NU este 1 și deci tranzistorul  $T_2$  va fi blocat indiferent de variabila  $A$ ; la ieșirea porții SAU-NU va fi 0 și deci și  $T_1$  se blochează indiferent de variabila  $A$ . Blocarea celor două tranzistoare, duce la obținerea unei impedanțe de ieșire foarte mare, stare numită „High Z” sau stare de impedanță mare.

În varianta b. se observă că  $DIS = 0$  deschide tranzistoarele  $T_2$  și  $T_3$  ceea ce duce la o funcționare normală a circuitului în timp ce  $DIS = 1$  blochează cele două tranzistoare  $T_2$  și  $T_3$  ducând la starea de impedanță mare indiferent de restul circuitului.

În seria CMOS 4000 sunt realizate și alte circuite cu trei stări (inversoare, bistabile etc.) .

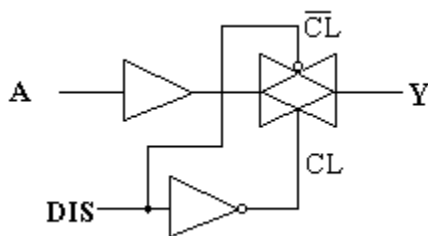


Fig. 21. Variantă de poartă cu trei stări

*Observație* : în cazul circuitelor CMOS starea de mare impedanță la ieșire poate fi ținută și cu ajutorul unei porți de transmisie conectată între ieșirea unui circuit logic propriu-zis și ieșirea ansamblului. Blocând această poartă de transmisie se poate realiza condiția de impedanță mare.

### 2.3. Circuite BiCMOS

Performanțele circuitelor integrate digitale CMOS sunt limitate în special datorită întârzierilor în propagarea semnalului provocată de capacitățile parazite specifice bus-urilor de date. În ultimă instanță, viteza este limitată de slaba capacitate a porților CMOS de a asigura curenți mari ( high current-driving capability) necesari pentru rapida încărcare/descărcare a sarcinilor capacitive. O soluție pentru rezolvarea acestei probleme o oferă circuitele BiCMOS.

Denumirea provine de la faptul că circuitele conțin atât tranzistoare bipolare (BJT – bipolar junction transistor) cât și tranzistoare MOS complementare. Tranzistorul bipolar, folosit la ieșirea acestor circuite, asigură o mare capacitate de a conduce curenți în timp ce dispozitivul CMOS asigură un consum redus, densitate mare de integrare și o tehnologie mai simplă. Se poate spune că o configurație BiCMOS reunește pe același chip „ce este mai bun în două lumi”.

Un dezavantaj major al tehnologiei BiCmos este datorat creșterii complexității procesului de fabricație, fig. 22. Realizarea unui tranzistor bipolar necesită mai multe etape decât pașii utilizați într-un proces CMOS. Evident, o serie de etape sunt realizate simultan astfel încât, în final, procesul de fabricație BiCMOS necesită numai 3-4 etape suplimentare față de un proces CMOS standard.

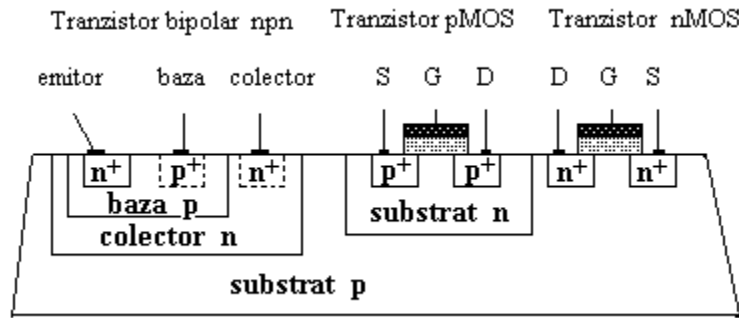


Fig. 21. Tranzistor bipolar și MOS

O schemă tipică de inversor BiCMOS este prezentată în fig. 22.

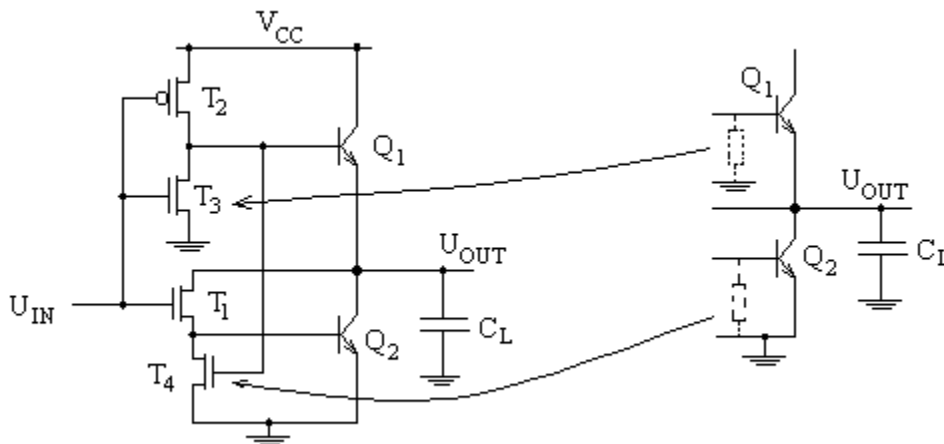


Fig. 22. Inversor BiCMOS

### Construcție

Circuitul conține trei tranzistoare nMOS  $T_1$ ,  $T_2$  și  $T_3$ , un tranzistor pMOS,  $T_2$ , și cele două tranzistoare bipolare  $Q_1$ ,  $Q_2$  de la ieșire. Tranzistoarele nMOS  $T_3$  și  $T_4$  joacă rolul unor rezistențe din varianta de principiu, asigurând o cale de curent de rezistență mică pentru eliminarea sarcinii stocate în baza tranzistorului bipolar și contribuind în acest fel la creșterea vitezei de comutație a circuitului (de fapt  $T_3$  și  $T_4$  acționează ca rezistențe dinamice : rezistență de valoare mare când tranzistorul bipolar corespunzător este deschis și respectiv rezistență mică atunci când trebuie blocat tranzistorul bipolar).

De asemenea se observă cele două tranzistoare MOS complementare, notate  $T_1$  și  $T_2$ , comandate de semnalul de intrare și care la rândul lor comandă cele două tranzistoare bipolare  $Q_1$  și  $Q_2$ .

### Funcționare

Pentru  $U_{IN} = 0$  tranzistorul nMOS  $T_1$  este blocat iar tranzistorul pMOS  $T_2$  este deschis. Deschiderea lui  $T_2$  asigură curent în baza lui  $Q_1$  asigurând deschiderea acestuia și, în plus, deschiderea și pentru tranzistorul nMOS  $T_3$  ceea ce duce la blocarea lui  $Q_2$ . La ieșire se obține nivel H având tensiunea  $U_{OH} = V_{CC} - 0,7V$  (diferența se datorează tensiunii  $V_{BE}$  a tranzistorului  $Q_1$  conductor).

Crescând  $U_{IN}$ , situația se menține până când  $U_{IN}$  atinge valoarea  $U_{P1} + V_{BE}$ , moment în care se deschide atât  $T_1$  cât și  $Q_2$ . Urmează o regiune în care conduc atât  $Q_1$  cât și  $Q_2$  în regiunea activă directă. Când  $U_{IN}$  crește peste valoarea  $V_{CC} + U_{P2}$  ( $T_2$  este tranzistor cu canal indus tip p și are tensiunea de prag negativă) tranzistorul  $T_2$  se blochează ceea ce duce și la blocarea lui  $Q_1$ . La ieșire  $Q_2$  continuă a fi deschis atât timp cât mai descarcă sarcina capacitivă (cât mai există circulație de curent). Tensiunea de la ieșire este  $U_{OL} = 0,7V$  (egal cu  $V_{BE}$  deoarece baza și colectorul lui  $Q_2$  sunt practic scurtcircuitate prin  $T_1$ ).

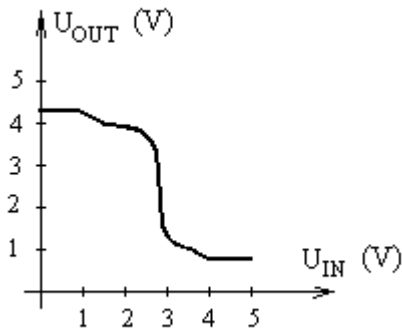


Fig. 23. Caracteristica de tranfer pentru un circuit BiCMOS

Aspectul caracteristicii de transfer precum și tensiunea de prag a inversorului se modelează din dimensionarea tranzistoarelor  $T_1$  și  $T_2$ . Se subliniază valoarea celor două nivele logice  $U_{OH}$  și  $U_{OL}$  diferite față de ideal ceea ce micșorează imunitatea la zgomot a circuitului.

În fig. 24. sunt prezentate și alte circuite BiCMOS, specific fiind aceeași structură internă CMOS și etajul de ieșire bipolar.

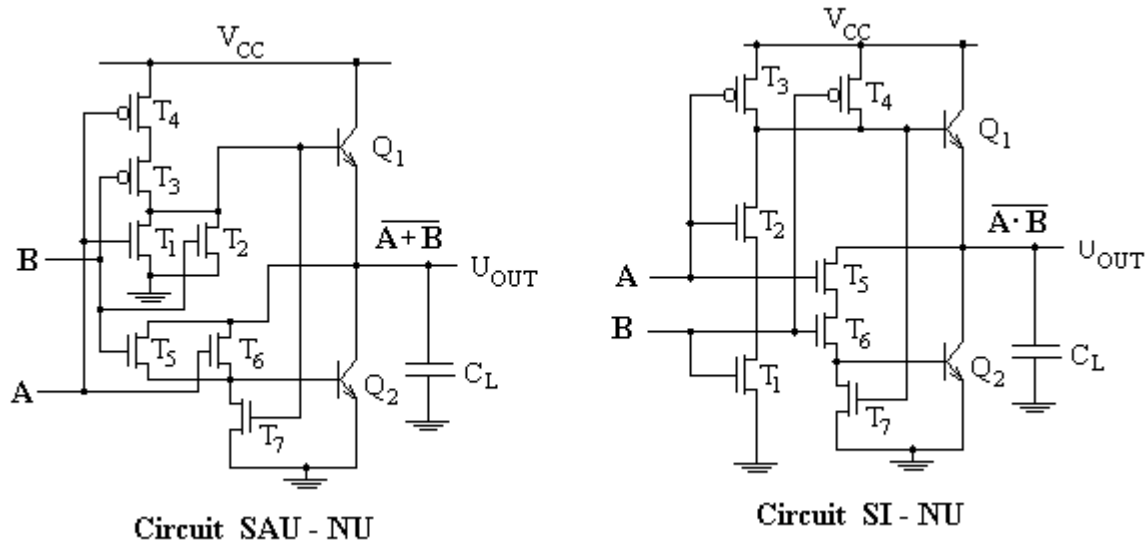


Fig. 24. Circuite BiCMOS

Transformarea inversorului în circuit SAU-NU și respectiv SI-NU se face după aceleași reguli ca la circuitele CMOS standard.

Pentru circuitul SAU-NU, tranzistoarele  $T_1$ ,  $T_2$  și  $T_3$  de la inversor se transformă în câte două două tranzistoare de același tip comandate de cele două intrări după regula specifică circuitului SAU-NU : tranzistoarele pMOS sunt înseriate ( vezi  $T_3$ ,  $T_4$  provenite din  $T_2$  de la inversor ) iar tranzistoarele nMOS sunt puse în paralel (  $T_3$  de la inversor se transformă în  $T_1$  și  $T_2$  respectiv  $T_1$  de la inversor în  $T_5$  și  $T_6$ ). Tranzistorul  $T_7$  din baza lui  $Q_2$  rămâne nemodificat și cu același rol (blochează pe  $Q_2$  în situația nivel H la ieșire).

Pentru circuitul SI-NU, tranzistoarele  $T_1$ ,  $T_2$  și  $T_3$  de la inversor se transformă de asemenea în câte două două tranzistoare de același tip respectând de data aceasta regula specifică circuitului SAU-NU : tranzistoarele pMOS sunt puse în paralel (  $T_3$ ,  $T_4$  provenite din  $T_2$  de la inversor ) iar tranzistoarele nMOS sunt înseriate (  $T_3$  de la inversor se transformă în  $T_1$  și  $T_2$  respectiv  $T_1$  de

la inversor în  $T_5$  și  $T_6$ ). Și de data aceasta tranzistorul  $T_7$  din baza lui  $Q_2$  rămâne nemodificat și asigură blocarea acestuia în situația nivel H la ieșire.

În încheierea acestui capitol prezentăm două grafice care ilustrează comparativ unele performanțe ale circuitelor BiCMOS.

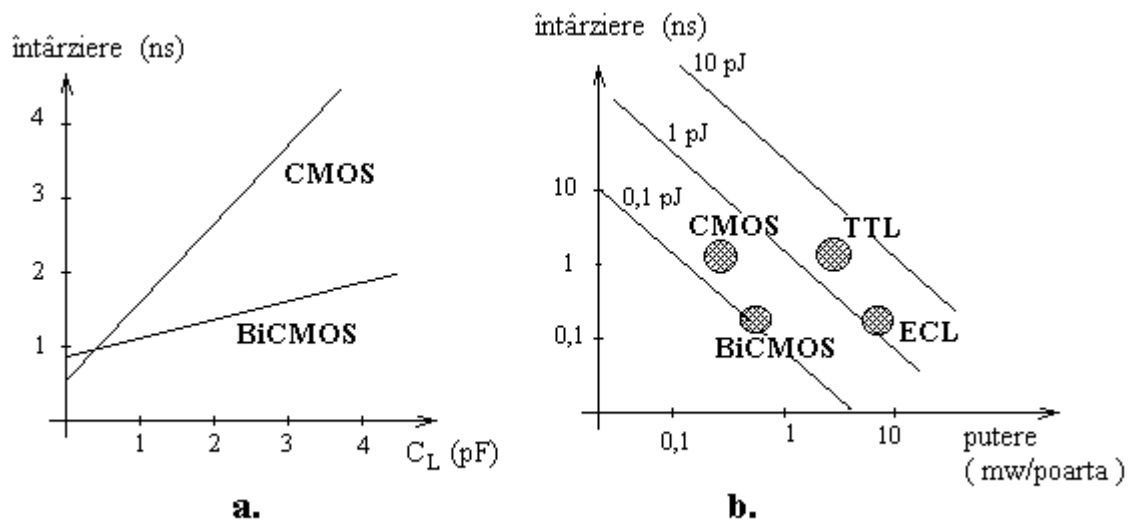


Fig. 25. a. întârzierea specifică unor circuite logice; b. produsul putere-întârziere pentru unele familii de circuite logice utilizând tehnologia de  $2 \mu\text{m}$