

# Circuite basculante bistabile cu porți logice

## 1. Bistabilul elementar

Prin analogie cu un bistabil cu tranzistoare se poate construi circuitul basculant bistabil cu porți logice, fig.1.

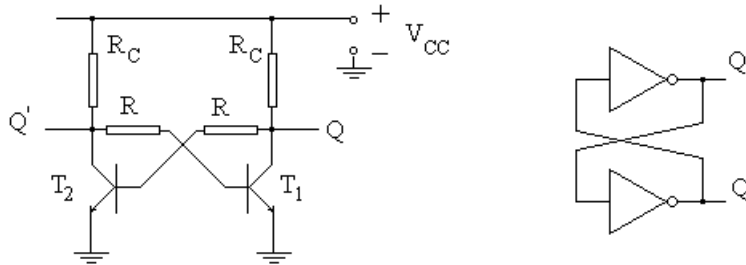


Fig.1 Circuite basculante bistabile

Pentru a permite comanda bistabilului de la intrări, cele două inversoare se înlocuiesc cu circuite SAU-NU sau SI-NU. Se obțin circuitele basculante bistabile din fig.2 care vor fi denumite **bistabile elementare**.

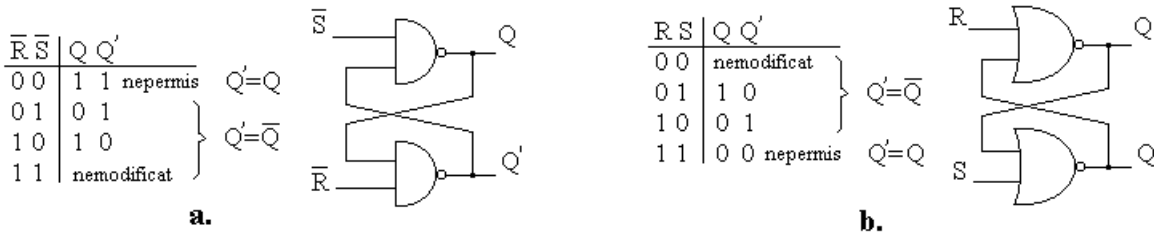


Fig.2. Bistabile elementare .

- a. cu nivel activ 0 ( construit cu SI-NU )
- b. cu nivel activ 1 ( construit cu SAU-NU )

Cele două intrări ale bistabilului sunt :

R = Reset = “punere pe zero” = “resetare” .

S = Set = “punere pe unu “ = “setare “.

Ieșirile sale sunt Q și Q' și sunt complementare cu excepția stării nepermise. Atunci când se spune că “bistabilul este în starea 1” se va înțelege faptul că ieșirea sa notată cu Q este în starea 1 (și implicit ieșirea Q' este în starea 0).

Se observă construcția simetrică a bistabilelor și notarea aleatoare a ieșirilor lor, Q și Q'. Inșă odată notate ieșirile, intrările R și S nu mai pot fi notate aleator, poziționarea lor decurgând obligatoriu, în sensul în care funcționează acestea (de setare sau resetare).

### Convenție :

- o intrare este “cu nivel activ 1 logic” dacă aplicând 1 pe acea intrare circuitul execută comanda respectivă; o astfel de intrare se va nota cu litera (grupul de litere) care o denumește (fără negare) .
- o intrare este “cu nivel activ 0 logic” dacă aplicând 0 pe acea intrare circuitul execută comanda respectivă; o astfel de intrare se va nota cu litera (grupul de litere) care o denumește, **cu negare** .

Cu această convenție, se observă că un bistabil elementar tip RS nu are permisă comanda în care se activează simultan ambele intrări (în sensul că pentru o astfel de comandă cele două ieșiri Q și

$Q'$  nu mai sunt complementare – vezi fig.2 - ideea se va relua la bistabilele sincrone ) și rămâne nemodificat dacă intrările nu sunt activate.

**Observație :** nivelul activ al unei intrări poate fi modificat prin adăugarea unor inversoare, fig.3.

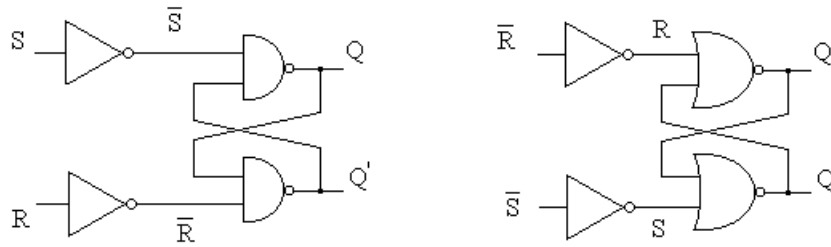


Fig.3 Schimbarea nivelului activ al intrărilor unui bistabil elementar

Generalizare : considerând un număr par de porți logice inversoare (NU, SI-NU, SAU-NU ) legate în inel, fig.4, se va obține un circuit basculant bistabil .

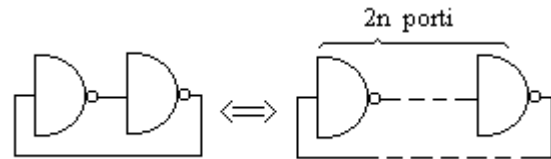


Fig.4. Circuit basculant bistabil

**Problemă**

Care din schemele prezentate în fig. 5 sunt bistabile ? Să se noteze intrările și ieșirile respectând toate convențiile stabilite mai sus.

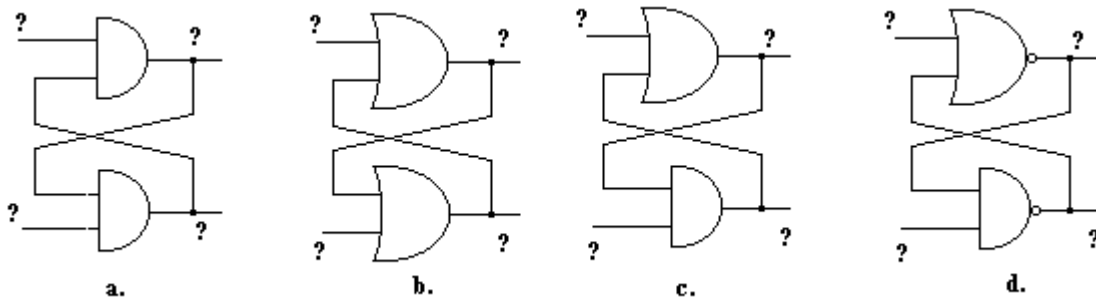
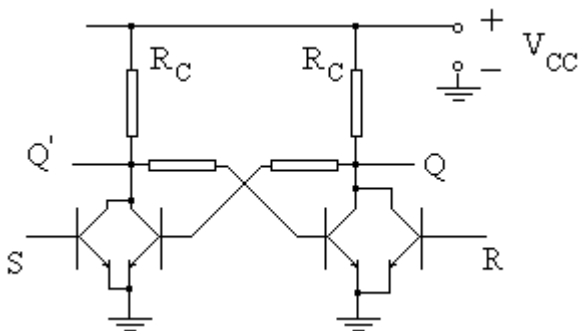


Fig.5

**Observație:** În multe circuite de memorie elementul de bază este un CBB construit cu două tranzistoare bipolare, fig.6, sau cu tranzistoare MOS (în acest din urmă caz drept rezistențe de sarcină se folosesc tot tranzistoare MOS, eventual complementare - cazul CMOS).



Comanda acestora de regulă are structura funcțională ce respectă schema din fig.6. Se remarcă faptul că acesta este de fapt un bistabil elementar tip RS realizat cu două porți SAU-NU (două tranzistoare în paralel realizează un SAU).

Fig.6. Bistabil tip RS cu tranzistoare

## 2. Bistabilul RS tip latch

Bistabilele elementare prezentate anterior sunt asincrone : imediat ce se aplică o comandă, bistabilul o execută. Bistabilul elementar se poate completa cu o nouă intrare, notată **tact** sau **clock** (prescurtat T sau CL sau CK ), care are rolul de a stabili **momentul** în care acționează intrările RS – fig.7.

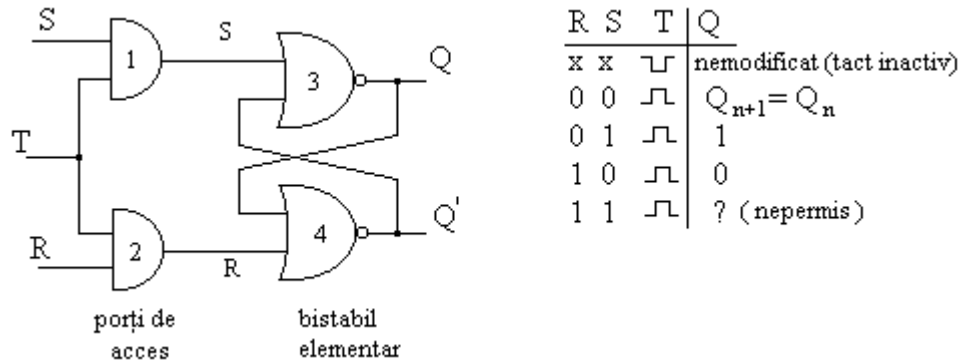


Fig.7. Bistabil RS latch

### Construcție

Circuitul este compus din :

- porțile de acces 1 și 2
- bistabilul elementar propriu zis, realizat cu porțile 3 și 4

### Funcționare

- Pentru  $T=1$  porțile de acces 1 și 2 sunt validate și intrările RS sunt puse în legătură cu bistabilul elementar; circuitul acționează conform tabelului de funcționare al unui bistabil RS obișnuit.
- Pentru  $T=0$  porțile 1 și 2 sunt blocate (au 0 logic la ieșire) și aplică bistabilului elementar 3, 4 exact comanda  $R=S=0$  care nu modifică starea acestuia; se spune că intrările RS ale latch-ului sunt decuplate de la bistabilul elementar și bistabilul intră în starea de **zăvorâre** = latch, memorând starea anterioară .

A rezultat o funcționare în care intrările RS au fost cuplate la bistabilul elementar numai pentru palierul de 1 logic aplicat la intrarea de tact. Se observă deci că tactul controlează numai momentul când funcționează intrările RS (nu și felul în care acestea acționează) și de aceea se spune că intrările RS sunt intrări **sincrone**.

### Convenție

- Dacă porțile de acces sunt validate pentru palierul tactului de  $T=1$  , se spune că tactul are nivelul activ 1, se notează cu T și se simbolizează cu  $\lceil$
- Dacă porțile de acces sunt validate pentru palierul tactului de  $T=0$  , se spune că tactul are nivelul activ 0 , se notează cu  $\bar{T}$  și se simbolizează cu  $\lfloor$

### Variante constructive

In fig.8 sunt prezentate câteva variante de bistabile RS tip latch.

**Observație** : se remarcă faptul că porțile de acces SI au nivelul activ al tactului 1 logic în timp ce porțile de acces SAU au nivelul activ al tactului 0 logic.

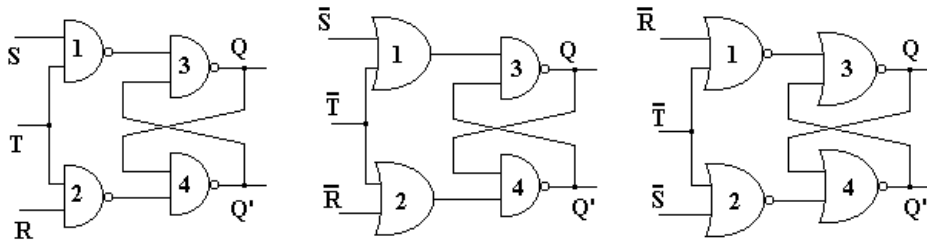


Fig.8. Variante constructive de bistabile RS tip latch

### 3. Considerații tipurile de sincronism ale bistabilelor

Uzual se întâlnesc următoarele trei tipuri de sincronism ale circuitelor basculante bistabile:

#### *Bistabil de tip latch*

Este tipul de sincronism care a fost prezentat în paragraful anterior. În acest caz intrările de date (RS, D) sunt în legătură cu bistabilul elementar intern un întreg interval de timp, cât tactul este pe nivel activ. Unui astfel de sincronism I se mai spune "sincron pe palierul" tactului. Se reține convenția cu privire la notarea tactului și nivelul activ al acestuia. Se face observația că acest tip de sincronism nu permite realizarea tuturor tipurilor de bistabile (de exemplu bistabil tip JK).

#### *Bistabil sincron pe frontul impulsului de tact*

În acest caz intrările de date sunt în legătură cu bistabilul **exact** numai pe durata unui **front** al impulsului de tact, adică un interval de timp infinit mic. În momentul frontului activ al tactului, ieșirea Q a bistabilului se modifică conform datelor aflate la intrările de date (RS, JK, T, D) în acel moment. Între două fronturi active ale tactului, ieșirea bistabilului rămâne nemodificată.

#### **Convenție**

- Dacă frontul activ al tactului este cel crescător, intrarea de tact se notează cu T și se simbolizează cu  $\lceil$
- Dacă frontul activ al tactului este cel descrescător, intrarea de tact se notează cu  $\bar{T}$  și se simbolizează cu  $\lrcorner$

#### **Observație**

Evident un bistabil este activ pe un anumit front al tactului ("positive edge" sau "negative edge"). Două fronturi active ale tactului sunt separate de o perioadă a semnalului dreptunghiular de tact. Rezultă că ieșirea bistabilului se modifică la frontul activ al semnalului de tact și rămâne nemodificată întreaga perioadă care urmează până la frontul activ următor.

#### *Bistabil de tip "master-slave"*

##### **Construcție**

În principiu un astfel de bistabil este compus din două bistabile de tip latch legate în cascadă, unul purtând numele de master și al doilea de slave. Intrările ansamblului master-slave coincid cu intrările bistabilului master iar ieșirile ansamblului coincid cu ieșirile bistabilului slave.

##### **Funcționare**

Esențială în funcționarea unui bistabil master-slave este decalarea tactului dintre master și slave astfel încât ansamblul să funcționeze "în doi timpi". Astfel, în intervalul  $(t_1, t_2)$  datele de la intrare intră în Master, iar Slave-ul este blocat. În intervalul  $(t_2, t_3)$  Master-ul intră în blocare, iar Slave-ul este în continuare blocat. Pe intervalul  $(t_3, t_4)$  Master-ul este blocat, în schimb Slave-ul îl copie pe Master (Slave-ul este de tip D de copiere). Pe  $(t_4, t_1)$  ambele sunt blocate ciclul repetându-se în

continuare. Se observă un ciclu de funcționare "în doi timpi" fiecare tact fiind format din prima parte în care se intră în Master și din a doua parte când datele se transferă din Master în Slave.

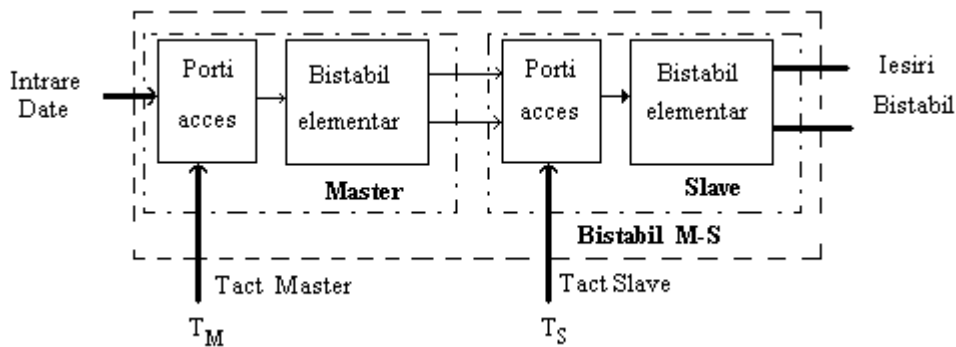


Fig.9. Structura de principiu a unui bistabil tip Master-Slave

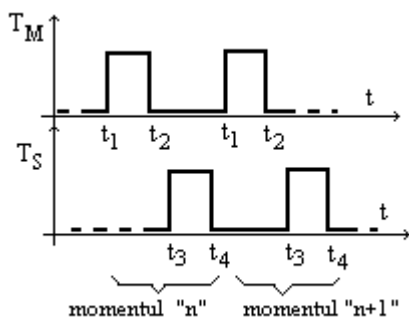


Fig.10. Decalarea tactelor

### Observație

Intervalele  $(t_2, t_3)$  și  $(t_4, t_1)$  în care ambele bistabile sunt blocate simultan pot fi reduse la minimum ca durată, forma de undă arătând ca în fig.11, adică cele două forme de undă sunt complementare.

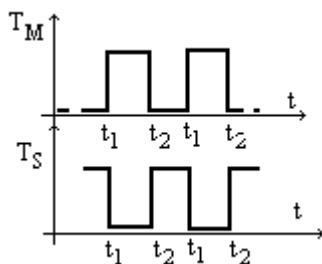


Fig.11. Tact comun

### Concluzie

Pentru a realiza decalajul dintre tactul aplicat la Master și cel aplicat la Slave, fie că se vor folosi Master și Slave două latch-uri de același tip și atunci se folosește un inversor pentru inversarea nivelului activ al tactelor între Master și Slave vezi fig.11. , fie Master-ul și Slave-ul vor fi construite cu porți de acces de tip diferit (unul SI, celălalt SAU) și atunci tactul poate fi aplicat paralel (vezi exemplele ulterioare).

### Observație

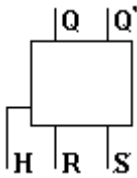
Ieșirea Q a bistabilului Master-Slave se modifică atunci când Slave începe să-l copie pe Master adică în momentul  $t_3$ . In consecință, bistabilul Master-Slave va funcționa aparent identic cu un bistabil sincron pe front și anume ca și cum ar avea front activ frontul care blochează pe Master și deschide pe Slave. In consecință se adoptă o convenție de notare similară celei aplicată la bistabilul sincron pe front :

- Dacă accesul în Master este permis pentru Tact = 0 și accesul în Slave pentru Tact = 1, atunci ieșirea se modifică la frontul crescător al tactului, intrarea de tact se notează cu T și se simbolizează cu  $\lrcorner$
- Dacă accesul în Master este permis pentru Tact = 1 și accesul în Slave pentru Tact = 0, atunci intrarea de tact se notează cu  $\bar{T}$  și se simbolizează cu  $\lrcorner$

#### 4. Tipuri de bistabile integrate sincrone; reprezentare; tabele de adevăr; ecuații

##### Bistabilul sincron de tip RS

Reprezentare



Tabel de funcționare

R	S	H	Q <sub>n</sub>	Q <sub>n+1</sub>
*	*	0	*	nemodif
0	0	1	0	0
0	0	1	1	1
0	1	1	0	1
0	1	1	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	?
1	1	1	1	?

} Q<sub>n+1</sub> = Q<sub>n</sub>  
 } Q<sub>n+1</sub> = 1  
 } Q<sub>n+1</sub> = 0  
 } nedeterminat

Tabel de stări

Q <sub>n</sub>	Q <sub>n+1</sub>	R	S
0	0	*	0
0	1	0	1
1	0	1	0
1	1	0	*

- Tactul poate fi :
- latch
  - front (edge)
  - Master-Slave

Vom nota cu H variabila care definește tactul (indiferent de tipul său) și facem convenția:

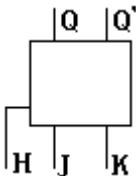
- H = 1 pentru tact activ
- H = 0 pentru tact inactiv

**Ecuație :**

$$Q_{n+1} = \overline{H}_n \cdot Q_n + H_n (S_n + \overline{R}_n \cdot Q_n)$$

##### Bistabilul de tip JK

Reprezentare



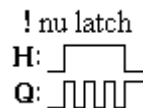
Tabel de funcționare

J	K	H	Q <sub>n</sub>	Q <sub>n+1</sub>
*	*	0	*	nemodif
0	0	1	0	0
0	0	1	1	1
0	1	1	0	0
0	1	1	1	0
1	0	1	0	1
1	0	1	1	1
1	1	1	0	1
1	1	1	1	0

} Q<sub>n+1</sub> = Q<sub>n</sub>  
 } Q<sub>n+1</sub> = 0  
 } Q<sub>n+1</sub> = 1  
 } Q<sub>n+1</sub> =  $\overline{Q}_n$

Tabel de stări

Q <sub>n</sub>	Q <sub>n+1</sub>	J	K
0	0	0	*
0	1	1	*
1	0	*	0
1	1	*	1



- Tactul poate fi :
- edge
  - Master-Slave

În cazul bistabilului JK tactul nu poate fi de tip latch deoarece pentru combinația J=K=1 și tactul activ, ieșirea Q ar trece în opus și apoi din nou în opus și așa mai departe, adică în definitiv ar oscila tot timpul cât tactul este activ.

**Ecuație:**

$$Q_{n+1} = \overline{H}_n \cdot Q_n + H_n (J_n \cdot \overline{Q}_n + \overline{K}_n \cdot Q_n)$$

### Observație

Bistabilul JK are aceeași funcționare cu cea a bistabilului RS cu deosebirea că acolo unde bistabilul RS are nedeterminare (pentru R=S=1) bistabilul JK are o funcționare perfect determinată : pentru J=K=1, la aplicarea tactului bistabilul trece în starea opusă !

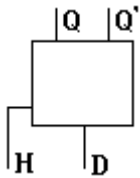
Din acest punct de vedere, bistabilul JK poate fi considerat un fel de generalizare a bistabilului RS, în sensul că funcționează identic cu acesta și în plus rezolvă și nedeterminarea sa .

### Bistabilul de tip D

Denumirea D provine de la D = delay (întârziere).

Bistabilul D este un bistabil de **copiere** a datelor : data de la intrarea D este copiată la ieșirea Q în momentul aplicării tactului. Un astfel de bistabil nici nu poate fi conceput într-o funcționare asincronă (fără tact) !

Reprezentare:



Tabel de funcționare

D	H	Q <sub>n</sub>	Q <sub>n+1</sub>
*	0	*	nemodif
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	1

Tabel de stări

Q <sub>n</sub>	Q <sub>n+1</sub>	D
0	0	0
0	1	1
1	0	0
1	1	1

Q<sub>n+1</sub>=D<sub>n</sub>

- Tactul poate fi :
- latch
  - edge
  - Master-Slave

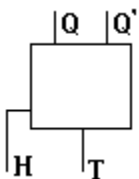
Ecuatie:

$$Q_{n+1} = \overline{H}_n \cdot Q_n + H_n \cdot D_n$$

### Bistabilul de tip T

Denumirea provine de la T = toggle (basculare). A nu se confunda T de la toggle cu T de la tact.

Reprezentare



Tabel de funcționare

T	H	Q <sub>n</sub>	Q <sub>n+1</sub>
*	0	*	nemodif
0	1	0	0
0	1	1	1
1	1	0	1
1	1	1	0

Tabel de stări

Q <sub>n</sub>	Q <sub>n+1</sub>	T
0	0	0
0	1	1
1	0	1
1	1	0

- Tactul poate fi :
- edge
  - Master-Slave

Ecuatie:

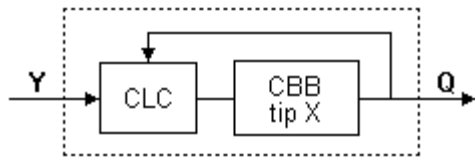
$$Q_{n+1} = \overline{H}_n \cdot Q_n + H_n (T_n \oplus Q_n)$$

Ca și bistabilul JK, bistabilul de tip T nu acceptă tact de tip palier deoarece pentru T = 1 ar oscila.

## 5. Transformarea unui tip de bistabil în alt tip de bistabil

Disponem de un tip de bistabil, fie el  $X \in \{JK, D, T, RS\}$  și dorim să-l transformăm într-un bistabil de alt tip,  $Y \in \{JK, D, T, RS\}$ .

Problema se rezolvă astfel: se adaugă un CLC (Circuit Logic Combinațional) în fața bistabilului X pentru a-l transforma în Y și se aplică reacție de la ieșirea Q.



Pentru a determina structura CLC-ului se procedează astfel:

- se scrie tabelul de adevăr pentru bistabilul Y ce se dorește a se obține având grijă să se completeze și coloanele  $Q_n$  și  $Q_{n+1}$ .
- se completează apoi acest tabel cu o nouă coloană utilizând tabelul de stări al bistabilului X care să asigure trecerile corespunzătoare.
- Se determină apoi funcția logică  $X=f(Y, Q_n)$  care se minimizează.

**Observație:** Evident tactul H de la bistabilul de plecare X se păstrează și la bistabilul obținut Y (vezi compatibilitatea tactelor).

*Exemplul 1:* Să se transforme bistabilul RS în bistabil JK

J	K	$Q_n$	$Q_{n+1}$	R	S
0	0	0	0	*	0
0	0	1	1	0	*
0	1	0	0	*	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	0	*
1	1	0	1	0	1
1	1	1	0	1	0

J \ $KQ_n$	00	01	11	10
0	*	0	1	*
1	0	0	1	0

$$R = K \cdot Q_n$$

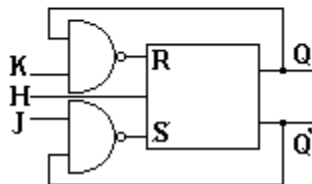
J \ $KQ_n$	00	01	11	10
0	0	*	0	0
1	1	*	0	1

$$S = J \cdot \overline{Q_n}$$

Conform notațiilor anterioare se observă că  $X=RS$  și  $Y=JK$ .

Se aplică metoda descrisă mai sus și se obțin ecuațiile care descriu CLC-ul :

$$R = K \cdot Q_n \quad \text{și} \quad S = J \cdot \overline{Q_n}$$



Schema de transformare a bistabilului RS în JK implementează cele două ecuații și este reprezentată în figură.

Evident tactul bistabilului de plecare RS poate fi numai de tip edge sau M-S așa cum cere bistabilul JK.

Fig.12. Transformarea unui bistabil RS în bistabil JK

*Exemplul 2:* Să se transforme un bistabil RS în bistabil D.

D	$Q_n$	$Q_{n+1}$	R	S
0	0	0	*	0
0	1	0	1	0
1	0	1	0	1
1	1	1	0	*

$$R = \overline{D}$$

$$S = D$$

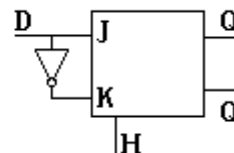
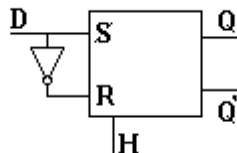


Fig.13. Transformarea unui bistabil de tip RS (JK) în bistabil de tip D

Se aplică metoda anterioară și se stabilesc ecuațiile  $S = D$  și  $R = \overline{D}$ .

**Observație**

Transformarea bistabilului de tip JK în D este identică cu cea a bistabilului de tip RS (bistabilul D este un bistabil de copiere).



Nu există probleme de compatibilitate a tactului deoarece bistabilul de tip D poate admite toate tipurile de tact.

Este posibil ca datele ce se doresc a fi copiate de bistabilul D să provină de la un bistabil anterior care are ieșiri atât Q cât și complementarul acestuia. În acest caz se va observa identitatea funcțională dintre următoarele trei scheme:

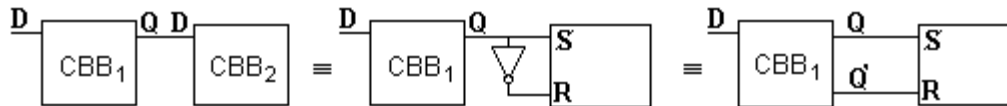


Fig. 14. Conectarea în cascadă a mai multor bistabile de tip D.

Se observă că în ultima variantă nu mai necesar un inversor între R și S deoarece bistabilul anterior are disponibilă atât ieșirea Q cât și ieșirea  $Q'$ .

*Problemă:* Se pornește de la un JK, RS, D sau T. Să se obțină un bistabil cu intrări notate A,B,C care să funcționeze astfel:

- pentru  $A = 0 \Rightarrow$  intrările B și C să funcționeze similar cu JK, adică  $B \sim J, C \sim K$
- pentru  $A=1, B=0 \Rightarrow$  intrarea C să funcționeze similar intrării D, adică  $C \sim D$
- pentru  $A=1, B=1 \Rightarrow$  intrarea C să funcționeze similar intrării T, adică  $C \sim T$

## 6. Exemple de circuite basculante bistabile integrate

### 6.1. Circuitul TTL 475 (D latch)

Recunoaștem bistabilul elementar realizat cu porțile 3, 4 și porțile de acces 1, 2; deci circuitul construit cu porțile 1-4 formează un latch de tip RS; inversorul 5 transformă RS-ul în D.

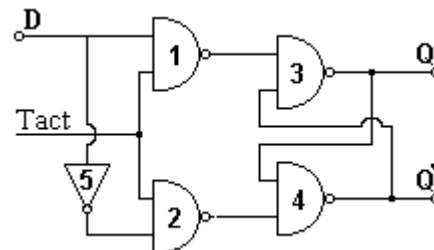


Fig. 15. Circuitul TTL 475

### 6.2.CBB de tip Master-Slave de tip RS cu inversor pe tact

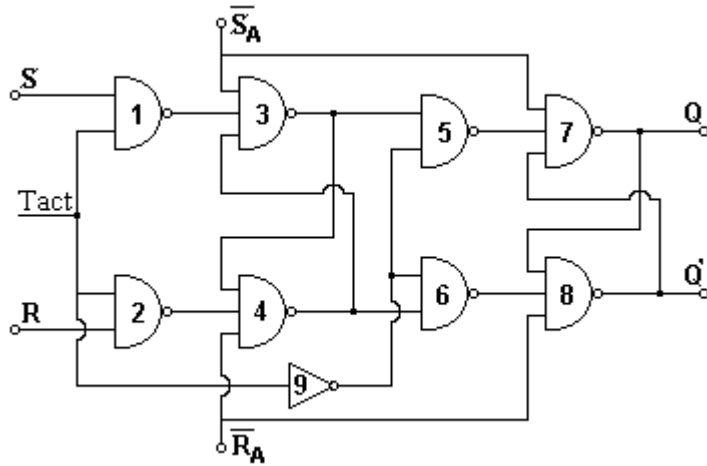
Se va prezenta un circuit basculant bistabil tip RS, Master-Slave, prevăzut suplimentar cu intrări asincrone, prioritare  $R_A S_A$  active pe nivel 0.

Schema electrică este prezentată în fig.16.

#### Construcție

Recunoaștem o structură Master-Slave în care Master este realizat cu porțile 1-4 din care 3,4 formează bistabilul elementar, iar 1,2 sunt porți de acces; bistabilul Slave este realizat cu porțile 5-8 dintre care 7,8 formează un bistabil elementar, iar 5,6 sunt porți de acces.

Întrucât porțile de acces 1,2 respectiv 5,6 sunt de același tip tactul celor două latch-uri este decalat de inversorul 9.



$\overline{R}_A$	$\overline{S}_A$	R	S	Tact	$Q_n$	$Q_{n+1}$
0	0	*	*	*	*	$Q_n = Q_{n+1} = 1$
0	1	*	*	*	*	0
1	0	*	*	*	*	1
1	1	0	0	$\downarrow$	0	0
1	1	0	0	$\downarrow$	1	1
1	1	0	1	$\downarrow$	0	1
1	1	0	1	$\downarrow$	1	1
1	1	1	0	$\downarrow$	0	0
1	1	1	0	$\downarrow$	1	0
1	1	1	1	$\downarrow$	0	?
1	1	1	1	$\downarrow$	1	?
*	*	*	*	$\downarrow$	Tact inactiv	

Fig. 16. CBB tip RS, Master-Slave, prevăzut cu intrări prioritare de Set și Reset

Se observă că Slave-ul este de tip RS, are S legat la ieșirea Q de la Master și R legat la ieșirea Q' de la Master, adică Slave copie pe Master (evident atunci când îi permite tactul).

### Funcționare

În tabelul de adevăr se descrie funcționarea circuitului și din analiza acestuia rezultă:

- intrările  $\overline{R}_A, \overline{S}_A$  sunt prioritare, asincrone și au nivelul activ 0 logic- vezi primele 3 rânduri din tabelul de adevăr;
- în restul tabelului, dacă intrările prioritare sunt inactice, tabelul ne arată o funcționare clasică de bistabil RS, Master-Slave.

### Funcționarea pe intrările asincrone (primele trei rânduri ale tabelului):

Vom urmări faptul că aceste intrări sunt active pe 0 și sunt prioritare (adică dacă cel puțin una din ele este activată, circuitul ascultă de aceasta).

Fie  $\overline{R}_A = 0, \overline{S}_A = 0$  - primul rând din tabel; se observă că cele două intrări aplicate direct porților 7, 8 determină  $Q = Q' = 1$  indiferent de starea celorlalte intrări.

Fie  $\overline{R}_A = 0, \overline{S}_A = 1$  - linia doi din tabelul de adevăr; vom considera distinct cazurile Tact=0 și Tact=1 și vom observa că, oricare ar fi tactul, ieșirile sunt conform tabelului ( $Q = 0$  și  $Q' = 1$ ) indiferent de intrările R și S.

a. fie Tact=1 ; acesta determină poarta  $P_9=0$  și implicit porțile  $P_5=P_6=1$  ; la intrările porților 7 și 8 se aplică 1 (element neutru) și intrările  $\overline{R}_A = 0, \overline{S}_A = 1$  ; Rezultă  $Q = 0, Q' = 1$ .

*Observație:* Intrările  $\overline{R}_A, \overline{S}_A$  se aplică și Master-ului 3,4 așezându-l și pe acesta în starea  $Q = 0, Q' = 1$  ca și Slave-ului, deși porțile 5 și 6 fiind blocate nu lasă legătură între Master și Slave.

b. fie Tact=0 ceea ce determină  $P_1 = P_2 = 1$  indiferent de intrările R și S - blochează accesul în Master; pe de altă parte  $P_9=1$  validează porțile de acces 5 și 6. În consecință Master-ul este conectat la intrarea Slave-ului.

Intrările  $\overline{R}_A = 0, \overline{S}_A = 1$  se aplică simultan atât Master-ului cât și Slave-ului și determină  $Q_M=0=Q$  și  $Q'_M=1=Q'$  -aceeași stare atât pentru Master cât și pentru Slave !!

Se observă că în această situație este necesară controlarea Master-ului simultan cu a Slave-ului pentru ca nu cumva la bistabilul elementar 7,8 să ajungă o comandă nepermisă ( de tip 00).

În concluzie - vezi pct. a. și b. - se constată că indiferent de tact, comanda  $\overline{R}_A = 0, \overline{S}_A = 1$  a determinat trecerea bistabilului în starea  $Q=0, Q'=1$  (cu atât mai mult indiferent de intrările R și S) determinând și trecerea bistabilului Master în aceeași stare.

Similar se urmărește linia 3 din tabelul de adevăr pentru care comanda  $\overline{R}_A = 1, \overline{S}_A = 0$  determină trecerea bistabilului în starea  $Q = 1$  și  $Q' = 0$

### Funcționarea pe intrările sincrone R și S

În acest caz intrările asincrone sunt inactive, adică  $\overline{R}_A = \overline{S}_A = 1$ ; 1 fiind element neutru pentru operațiile ȘI pur și simplu putem face abstracție de intrările  $\overline{R}_A, \overline{S}_A$ .

Ceea ce rămâne este o cascadă de tip Master-Slave cu porți SI-NU: pentru Tact=1 datele de la intrările RS intră în Master, Slave fiind blocat; pentru Tact=0 ⇒ Master este blocat și Slave validat copiindu-l pe Master.

Rezultă o funcționare clasică de bistabil Master-Slave, în care aparent circuitul funcționează ca un bistabil activ pe front descrescător al tactului.

**Transformarea în bistabil JK :** Bistabilul RS poate fi transformat în JK adăugându-i binecunoscutele reacții deduse într-un paragraf anterior ( se observă că tactul de tip Master-Slave este compatibil atât cu bistabilul RS cât și cu cel JK). Reacțiile de la ieșire **nu necesită** porți suplimentare, aplicându-se direct porților 1și 2 fosta intrare S devenind J iar fosta intrare R devenind K. După transformare se obține un bistabil tip JK, Master-Slave, cu intrări RS prioritare și active pe nivel 0.

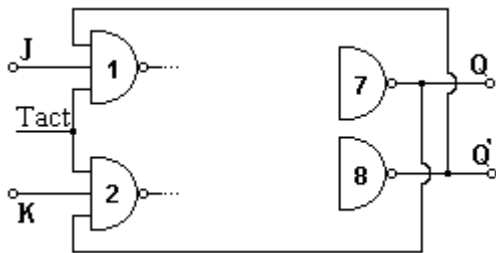


Fig. 17 Transformarea bistabilului RS în bistabil JK

Noul bistabil are intrările  $\overline{R}_A, \overline{S}_A$  asincrone și prioritare care funcționează identic ca la bistabilul analizat mai sus RS.

$\overline{R}_A$	$\overline{S}_A$	J	K	Tact	$Q_n$	$Q_{n+1}$
0	0	*	*	*	*	$Q = Q' = 1$
0	1	*	*	*	*	0
1	0	*	*	*	*	1
1	1	0	0	$\downarrow$	0	0
1	1	0	0	$\downarrow$	1	1
1	1	0	1	$\downarrow$	0	0
1	1	0	1	$\downarrow$	1	0
1	1	1	0	$\downarrow$	0	1
1	1	1	0	$\downarrow$	1	1
1	1	1	1	$\downarrow$	0	1
1	1	1	1	$\downarrow$	1	0
1	1	*	*	$\uparrow$	*	$Q_n$ tact inactiv

### 6.3. CBB de tip Master-Slave RS cu tact paralel

Bistabilul are schema și tabelul de adevăr din figură .

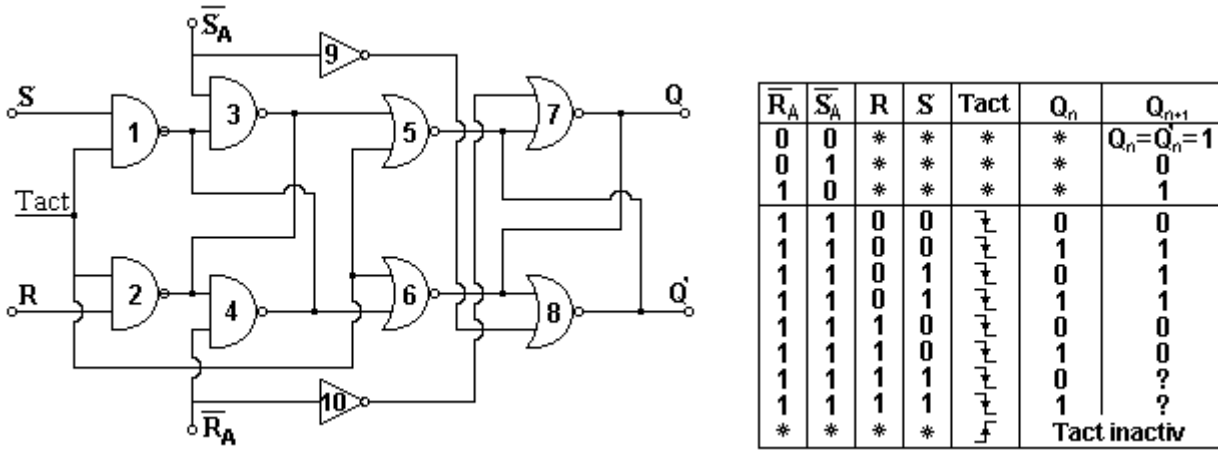


Fig.18. CBB tip RS, Master-Slave cu tact paralel

#### Construcție

Se observă construcția de tip Master-Slave (Master - porțile 1-4; Slave - porțile 5-8); se observă porțile de acces 1,2 care sunt ȘI iar porțile de acces 5,6 care sunt SAU : **deci tactul latch-urilor nu mai trebuie inversat ci se aplică paralel**. Se remarcă constructiv că intrările asincrone  $\overline{R}_A, \overline{S}_A$  sunt aplicate atât la Master cât și la Slave, dar care necesită suplimentar porțile 9,10 și conectarea convenabilă pentru a asigura compatibilitatea.

#### Funcționarea

Circuitul funcționează identic cu cel din cazul anterior. Transformarea RS în JK în acest caz este identică ca în cazul anterior prin reacțiile de la ieșiri la porțile 1 și 2

Bistabilele TTL 472, 473 și 476 sunt bistabile JK, Master-Slave care provin din bistabile RS cu tact paralel având o construcție asemănătoare : bistabilul Master este un latch construit cu porți de acces de tip SI iar bistabilul elementar cu porți SAU-NU în timp ce bistabilul Slave este un latch construit cu porți de acces SAU iar bistabilul elementar este cu SI-NU. Sunt prevăzute cu intrări asincrone prioritare identice cu cele analizate mai sus.

### 6.4. Circuite basculante bistabile CMOS

Existența porților de transmisie permite ca în familia CMOS să fie realizate bistabile având o structură chiar mai simplă decât cea analizată la circuitele anterioare. Reamintim că o poartă de transmisie CMOS este formată din două tranzistoare MOS, unul cu canal indus de tip p și unul cu canal indus de tip n conectate în paralel și comandate simultan de două semnale de clock complementare astfel încât ori ambele sunt blocate ori ambele sunt deschise. Poarta asigură conducție bidirecțională.

#### 6.4.1. Latch de tip D în construcție CMOS

Schema electrică a unui astfel circuit este prezentată în fig. 19.

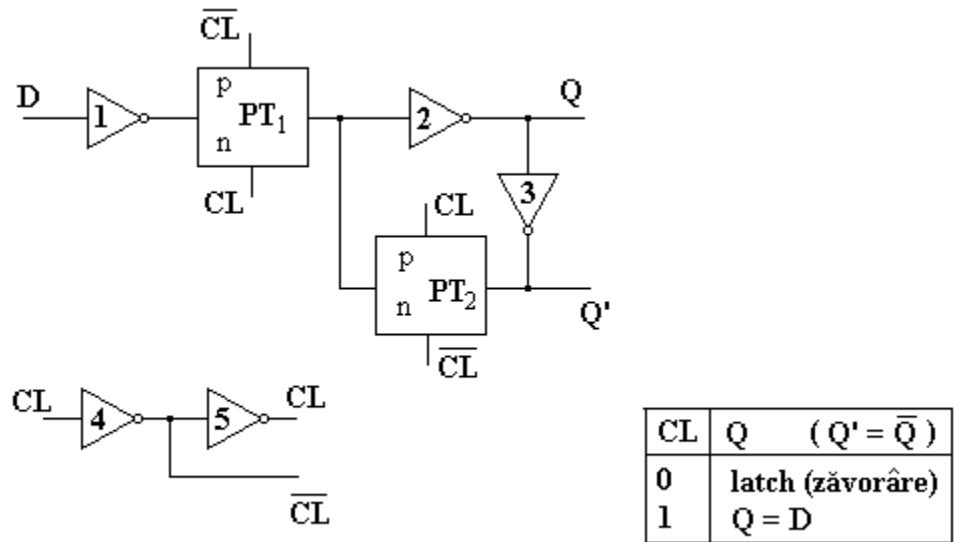


Fig.19. Latch CMOS de tip D

### Construcție

Porțile 4 și 5 permit obținerea celor două clock-uri complementare necesare pentru comanda porților de transmisie.

Se remarcă de asemenea faptul că porțile de transmisie  $PT_1$  și  $PT_2$  sunt comandate de același clock în opoziție (când una este deschisă cealaltă este blocată și invers).

### Funcționare

Circuitul funcționează după cum urmează:

- Pentru  $CL = 1 \Rightarrow \bar{CL} = 0$  și ca urmare  $PT_1$  este deschisă și  $PT_2$  blocată. În acest caz circuitul echivalent este de forma celui din fig.20.a., ieșirea Q urmărind fidel intrarea D.

- Pentru  $CL = 0 \Rightarrow \bar{CL} = 1$  și poarta de transmisie  $PT_1$  este blocată iar  $PT_2$  deschisă. În acest caz circuitul echivalent este cel din fig.20.b, porțile 2 și 3 luând structura un bistabil elementar și memorând data care a fost anterior la intrarea D.

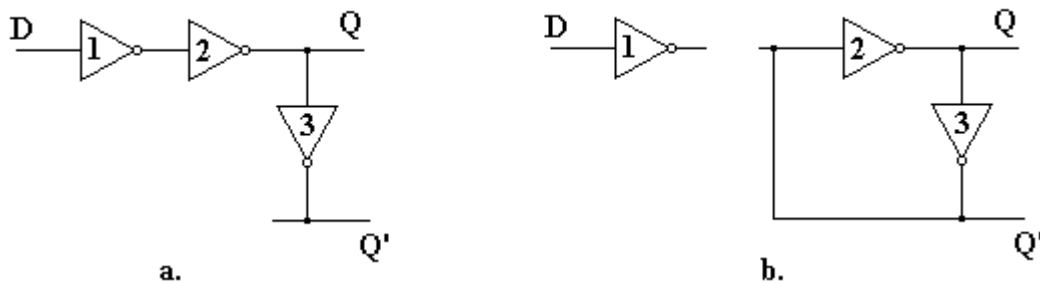


Fig.20. Funcționarea bistabilului latch de tip D

### Concluzii

Bistabilul prezentat are o funcționare clasică de circuit latch, poarta de transmisie  $PT_1$  jucând rolul unei porți de acces iar porțile 2, 3 și  $PT_2$  fiind bistabilul elementar. În construcție CMOS bistabilul tip D este cel care stă la baza realizării celorlalte tipuri de bistabile.

În seria CMOS 4000 există circuitul 4042 care are exact schema analizată având în plus încă o intrare prin care se poate stabili nivelul activ al tactului (în fapt intercalează sau nu suplimentar în serie cu porțile 4 și 5 încă o poartă inversoare).

### 6.4.2 Bistabil de tip D, Master-Slave, în construcție CMOS

Desigur că și în construcție CMOS pot fi realizate circuite cu porți în variantele Master-Slave care au fost prezentate anterior. Se pot însă realiza și altfel de circuite, de exemplu cel din fig.21.

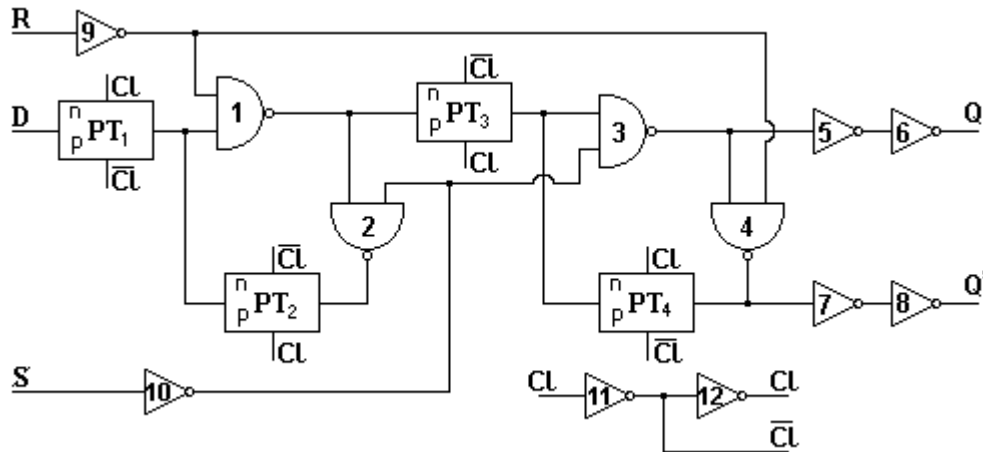


Fig.21. Bistabil tip D, Master-Slave în construcție CMOS

#### Construcție

Se recunoaște o construcție Master-Slave în care cele două latch-uri sunt de fapt identice cu cel din fig.19, singura modificare fiind transformarea porților NU(NOT) în porți SI-NU(NAND) cu scopul de a se putea aplica intrările de forțare asincrone R și S.

Circuitul Master este realizat cu porțile de transmisie PT<sub>1</sub>, PT<sub>2</sub> și porțile logice 1 și 2. Bistabilul Slave este realizat cu porțile de transmisie PT<sub>3</sub>, PT<sub>4</sub> și porțile logice 3 și 4.

Porțile 5, 6, 7 și 8 au rol de *bufferare*.

Porțile 11 și 12 permit obținerea a două tacte complementare necesare pentru comanda porților de transmisie.

Se remarcă faptul că PT<sub>1</sub> și PT<sub>2</sub> sunt comandate în opoziție (așa cum este necesar la un latch). De asemenea porțile PT<sub>3</sub> și PT<sub>4</sub> sunt comandate în opoziție.

Se observă de asemenea faptul că porțile de acces în Master și în Slave, PT<sub>1</sub> și respectiv PT<sub>3</sub> sunt comandate în opoziție așa cum este necesar la un ansamblu Master-Slave.

#### Funcționare

Funcționarea bistabilului este descrisă de tabelul alăturat.

Se observă că intrările asincrone R, S sunt prioritare (se aplică direct bistabilelor elementare cu nivel activ 1).

Atunci când R, S sunt inactive bistabilele funcționează cu intrările D și Cl după principiul clasic al bistabilelor master-slave.

Analiza funcționării circuitului se poate face imediat folosind drept model celelalte bistabile de tip Master-Slave analizate în capitolele anterioare.

R	S	D	Cl	Q <sub>n+1</sub>	} funcționare asincronă
1	1	*	*	Q=Q=1	
0	1	*	*	0	
1	0	*	*	1	
0	0	0	$\bar{f}$	0	} funcționare sincronă
0	0	1	$\bar{f}$	1	
0	0	1	$\bar{t}$	tact inactiv	

## Observație

După cum au fost prezentate bistabilele în construcție CMOS cel mai simplu se realizează bistabilele de tip D comparativ cu cele de tip RS. Atunci când se dorește realizarea unui bistabil JK sau T în variantă CMOS se pornește de la un bistabil de tip D care ulterior se transformă în JK sau T.

În seria 4000 sunt realizate circuitul 4013, bistabil de tip D Master-Slave exact cu schema analizată mai sus și bistabilul 4027 care este un bistabil de tip JK Master-Slave obținut prin transformarea bistabilului D în bistabil JK.

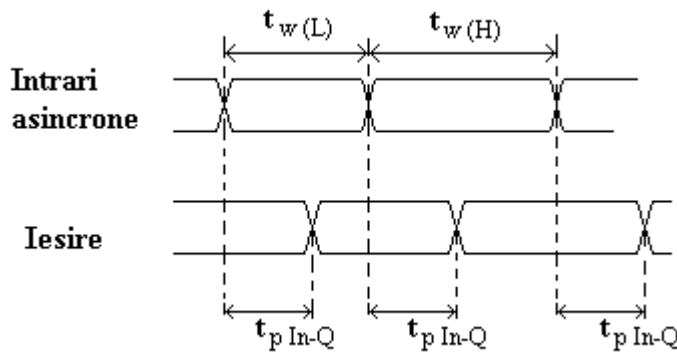
## 7. Regimul dinamic al circuitelor basculante bistabile

Timpii specifici care caracterizează funcționarea bistabilelor sunt:

- timp de propagare de la intrare la ieșire  $t_p$
- durata minimă a impulsului activ de la intrare  $t_w$
- timpi de rezervă înainte și după frontul activ al tactului

Detaliați pentru fiecare tip de bistabil, aceștia sunt prezentați mai jos.

*Bistabil asincron (bistabil elementar tip RS sau intrări prioritare la un bistabil Master-Slave)*



În conformitate cu fig.22 se definesc următorii parametri :

$t_w$  - durata minimă a nivelului activ al intrării asincrone; nivelul activ poate fi L sau H.

$t_p In-Q$  - timp de propagare de la intrare la ieșirea Q : este timpul scurs între momentul aplicării unei comenzi la intrare și momentul în care ieșirea execută acea comandă.

Fig.22. Timpii specifici unui bistabil asincron

Exemple :

Circuitul 472 = Bistabil tip Master-Slave seria TTL standard, comenzi pe intrările asincrone

- $t_w(L) = 25$  ns
- $t_{p R,S-Q} = 25$  ns pentru variația ieșirii LH  
40 ns pentru variația ieșirii HL

Circuitul 4013 = Bistabil D, Master-Slave, seria CMOS, comenzi pe intrările asincrone

- $t_w(H) = 25$  ns pentru  $V_{DD} = 5$  V  
12 ns pentru  $V_{DD} = 10$  V  
10 ns pentru  $V_{DD} = 15$  V
- $t_{p R,S-Q} = 60$  ns pentru  $V_{DD} = 5$  V variația LH ;  
30 ns pentru  $V_{DD} = 10$  V variația LH ;  
20 ns pentru  $V_{DD} = 15$  V variația LH ;  
100 ns pentru  $V_{DD} = 5$  V variația HL  
40 ns pentru  $V_{DD} = 10$  V variația HL  
30 ns pentru  $V_{DD} = 15$  V variația HL

### Bistabil sincron de tip latch

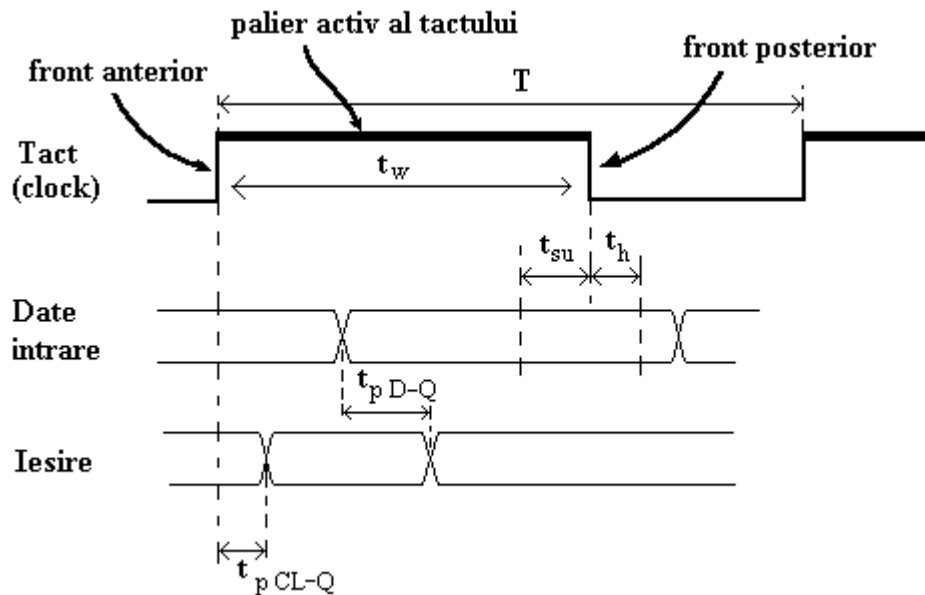


Fig. 23. Timpii specifici funcționării unui bistabil de tip latch

- $t_w$  = durata minimă a nivelului activ al tactului
- $T$  = perioada minimă (frecvența maximă) a semnalului de tact
- $t_{p\ CL-Q}$  = durata scursă între momentul frontului de început al tactului activ și momentul în care ieșirea se modifică
- $t_{p\ D-Q}$  = durata scursă între momentul modificării unei de la intrare (în interiorul intervalului în care tactul este activ) și momentul în care ieșirea se modifică
- $t_{su}$  = timp de prestabilire (time set-up) = intervalul de timp de înaintea frontului de închidere al tactului în care datele de la intrări nu au voie să se modifice
- $t_h$  = timp de menținere (time hold) = intervalul de timp de după frontul de închidere al tactului în care datele de la intrări nu au voie să se modifice

Pe intervalul timpilor  $t_{su} + t_h$  este interzis a se modifica datele de la intrări, ieșirea Q putând avea o funcționare defectuoasă în caz contrar.

#### Exemple:

Circuitul 475 = Bistabil tip D latch, seria TTL standard.

- $t_{su} = 20\text{ ns}$
- $t_h = 5\text{ ns}$
- $t_{p\ D-Q} = 30\text{ ns}$  pentru variația LH ; 25 ns pentru variația HL
- $t_{p\ CL-Q} = 30\text{ ns}$  pentru variația LH ; 15 ns pentru variația HL

### Bistabil sincron de tip Master-Slave

Aparent, un bistabil Master-Slave acționează similar unui bistabil sincron de tip front și în consecință timpii specifici sunt definiți similar fig.24



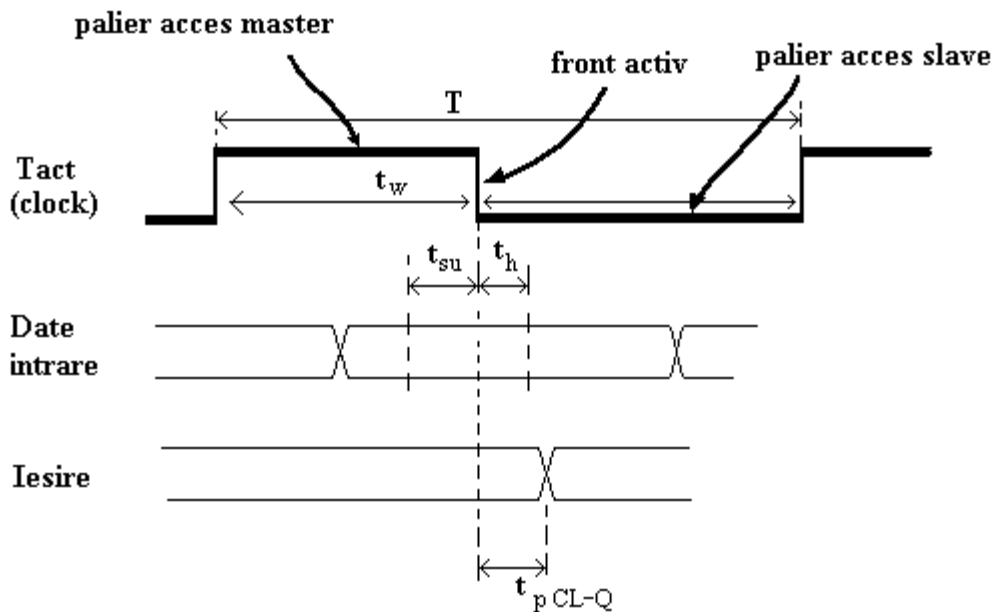


Fig.24. Timpii specifici funcționării unui bistabil de tip Master-Slave

- $t_w$  = durată minimă pentru cele două nivele active (unul pentru Master și celălalt pentru Slave) ale tactului.
- $T$  = perioada minimă (frecvența maximă) a semnalului de tact.
- $t_{p\ CL-Q}$  = durată scursă între momentul frontului activ al tactului și momentul în care ieșirea se modifică.
- $t_{su}$  = timp de prestabilire (time set-up) = intervalul de timp de înaintea frontului activ al tactului în care datele de la intrări nu au voie să se modifice.
- $t_h$  = timp de menținere (time hold) = intervalul de timp de după frontul activ al tactului în care datele de la intrări nu au voie să se modifice.

Pe intervalul timpilor  $t_{su} + t_h$  este interzis a se modifica datele de la intrări, ieșirea Q putând avea o funcționare defectuoasă în caz contrar.

Exemple:

Circuitul 472 = Bistabil tip JK, Master-Slave, seria TTL standard.

- $t_{su} = 0$  ns
- $t_h = 0$  ns
- $t_{p\ CL-Q} = 25$  ns pentru variația LH a ieșirii; 40 ns pentru variația HL a ieșirii
- $t_{w(H)} = 20$  ns
- $t_{w(L)} = 47$  ns
- $f_{max} = 15$  MHz frecvența maximă a tactului

Circuitul 4013 = Bistabil D, Master-Slave seria CMOS

- $t_{su} = 20$  ns pentru  $V_{DD} = 5$  V; 10 ns pentru  $V_{DD} = 10$  V; 5 ns pentru  $V_{DD} = 15$  V
- $t_h = 0$
- $t_{p\ CL-Q} = 95$  ns pentru  $V_{DD} = 5$  V variația LH ; 110 ns pentru  $V_{DD} = 5$  V variația HL  
40 ns pentru  $V_{DD} = 10$  V variația LH ; 45 ns pentru  $V_{DD} = 10$  V variația HL  
30 ns pentru  $V_{DD} = 15$  V variația LH; 30 ns pentru  $V_{DD} = 15$  V variația HL
- $f_{max} = 14$  MHz pentru  $V_{DD} = 5$  V ; 28 MHz pentru  $V_{DD} = 10$  V ; 40 MHz pentru  $V_{DD} = 15$  V

### Bistabil sincron pe frontul impulsului de tact

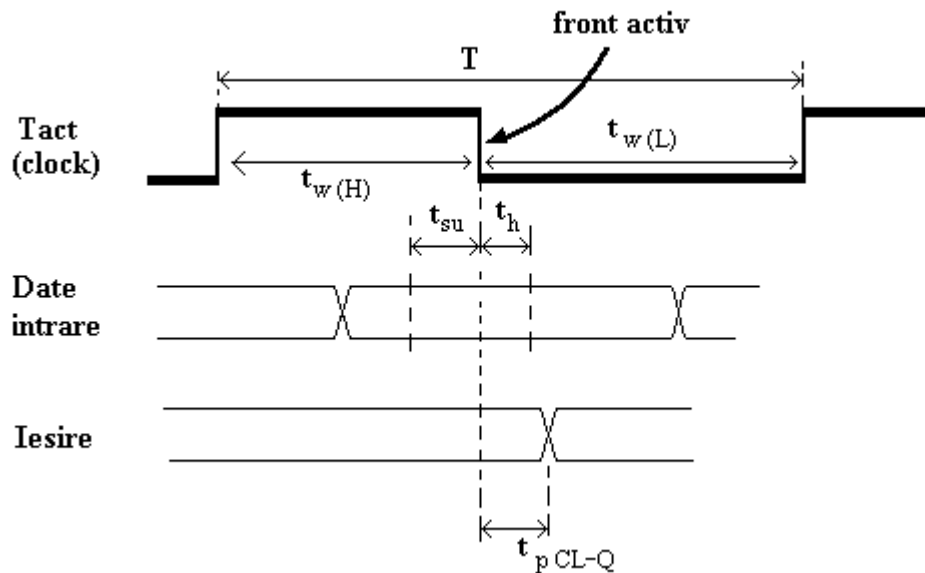


Fig.25. Timpii specifici funcționării unui bistabil sincron pe frontul tactului

- $t_w$  = durata minimă a nivelului tactului (distinctă pentru cele două nivele).
- $T$  = perioada minimă (frecvența maximă) a semnalului de tact
- $t_{p CL-Q}$  = durata scursă între momentul frontului activ al tactului și momentul în care ieșirea se modifică
- $t_{su}$  = timp de prestabilire (time set-up) = intervalul de timp de înaintea frontului activ al tactului în care datele de la intrări nu au voie să se modifice
- $t_h$  = timp de menținere (time hold) = intervalul de timp de după frontul activ al tactului în care datele de la intrări nu au voie să se modifice

Pe intervalul timpilor  $t_{su} + t_h$  este interzis a se modifica datele de la intrări, ieșirea  $Q$  putând avea o funcționare defectuoasă în caz contrar.

Pentru bistabilele sincrone pe frontul tactului este recomandabil ca frontul activ al tactului să fie pe cât se poate mai aproape de ideal - durată mică și fără oscilații.

#### Exemple:

Circuitul 474 = Bistabil tip D sincron pe frontul crescător al tactului, seria TTL standard.

- $t_{su} = 20$  ns
- $t_h = 5$  ns
- $t_{p CL-Q} = 25$  ns pentru variația LH a ieșirii; 40 ns pentru variația HL a ieșirii
- $t_w(H) = 30$  ns
- $t_w(L) = 37$  ns
- $f_{max} = 15$  MHz frecvența maximă a tactului