

### 3.4. Circuite logice TTL ( transistor transistor logic )

Schema de principiu a porții TTL derivă din poarta DTL –fig.3.23.-prin înlocuirea diodelor de intrare și a diodei serie  $D_3$  cu un tranzistor multiemitor de intrare.

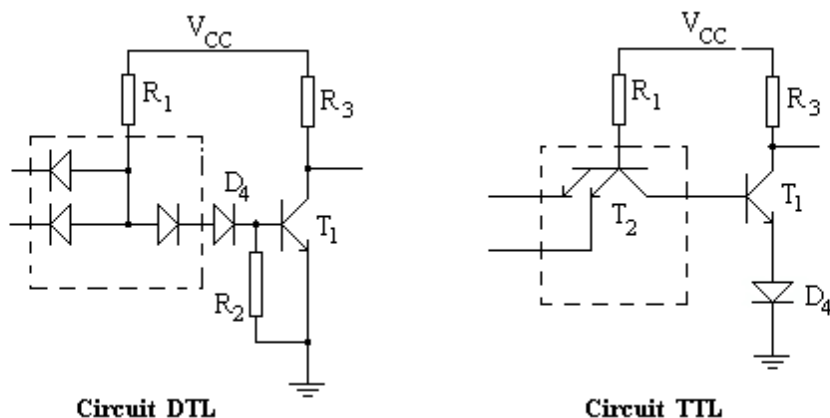


Fig. 3.23. Circuit DTL și circuit TTL ( schemă principială )

Tranzistorul multiemitor de intrare  $T_2$  este fabricat avantajos sub formă monolitică : într-o singură regiune izolată , crescută epitaxial și care constituie regiunea colectorului se difuzează regiunea bazei și în aceasta din urmă sunt difuzate câteva regiuni de emitor.

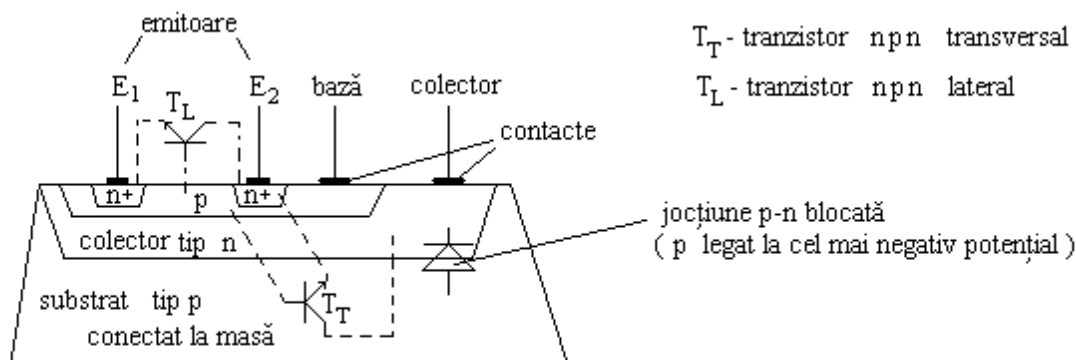


Fig.3.24. Secțiune prin tranzistorul multiemitor de intrare al circuitului TTL

În fig. 3.24. se pun în evidență câteva aspecte :

- prin polarizarea adecvată a substratului, joncțiunea colector-substrat este polarizată invers și în acest fel este izolat tranzistorul.
- tranzistorul transversal  $T_T$  este tranzistorul multiemitor propriu-zis și este util; apare în mod parazit însă și tranzistorul lateral  $T_L$  – pentru a diminua efectul acestui tranzistor nedorit se dimensionează corespunzător distanța dintre cele două regiuni  $n^+$  de emitor ( cât mai mare ) astfel încât “efectul de tranzistor” ( datorat bazei înguste ) să fie cât mai mic.

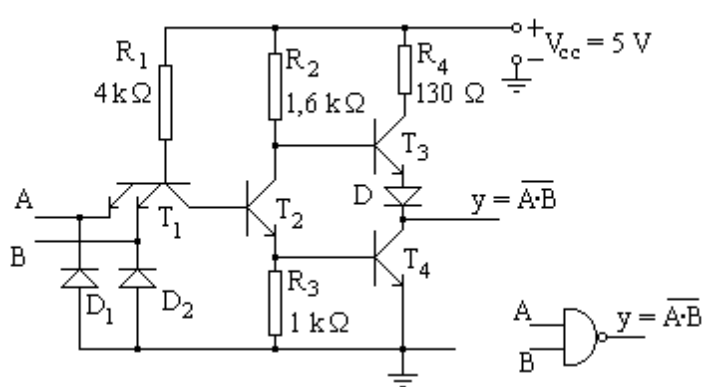
Funcționarea este aceeași ca a circuitului DTL cu observația faptului că nivelul L la ieșire este  $V_{OL} = V_D + V_{CE\ sat} \approx 0,8\text{ V}$ . În realitate schema din fig. 3.23. este numai o schemă de principiu. Un circuit real este completat cu un etaj de ieșire în contratimp ( totem-pole ) care asigură tensiunile de ieșire  $V_{OL}$  și  $V_{OH}$  corecte precum și un fan-out corespunzător.

În legătură cu circuitul din fig.3.23. se mai face observația că dacă  $T_1$  este saturat și potențialul unei intrări coboară, atunci curentul de colector al tranzistorului multiemitor  $T_2$  în funcționare normală asigură o cale rapidă pentru eliminarea sarcinii stocate în baza lui  $T_1$ . Se renunță în acest fel la rezistența  $R_2$  de la circuitul DTL.

### 3.4.1. Circuitul TTL standard

#### 3.4.1.1. Construcție și funcționare

În fig.3.25. este prezentată poarta reprezentativă din seria TTL standard – poarta ȘI-NU.



#### Construcție :

- tranzistorul multiemitor  $T_1$  de intrare care realizează funcția logică ȘI.
- tranzistorul inversor  $T_2$  care realizează funcția logică NU.
- etajul de ieșire în contratimp  $T_3, T_4, D$  care are rolul de a realiza o impedanță de ieșire redusă.
- diodele de tăiere la intrare  $D_1, D_2$  ( clamp diodes ).

Fig. 3.25. Poarta TTL standard

Câteva precizări în legătură cu funcționarea acestor etaje se vor face în cele ce urmează :

**Etajul de ieșire în contratimp** este comandat de tranzistorul inversor  $T_2$  care lucrează saturat-blocat ( similar tranzistorului din poarta DTL ! ).

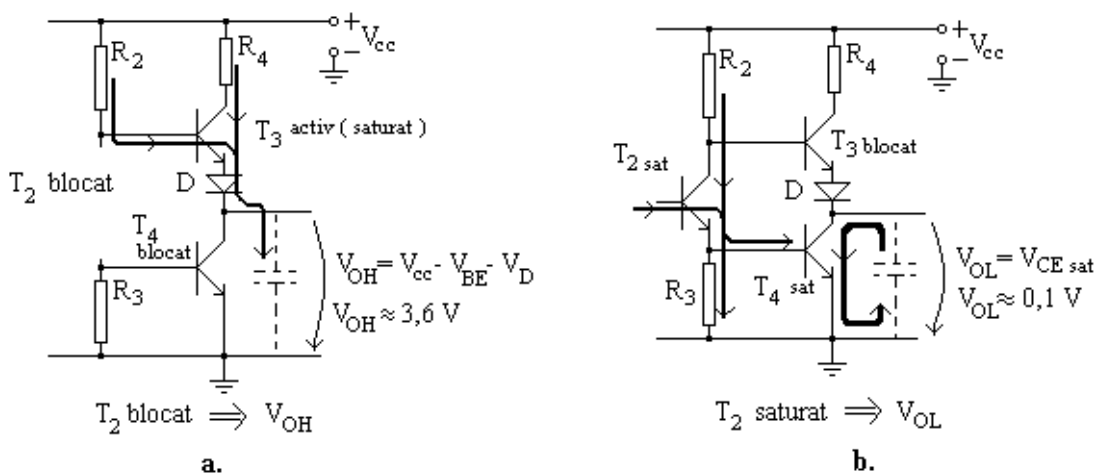


Fig. 3.26. Etajul de ieșire al porții TTL : a. nivel  $V_{OH}$  la ieșire; b. nivel  $V_{OL}$  la ieșire

- Dacă tranzistorul  $T_2$  este blocat – fig. 3.26. a. – atunci și tranzistorul  $T_4$  este blocat având baza conectată la masă prin  $R_3$ . În această situație  $T_3$  are baza conectată la  $V_{cc}$  prin  $R_2$  și este deschis ( activ sau saturat ) lucrând în regim de repetor pe emitor. La ieșire se obține o tensiune ridicată corespunzătoare nivelului H , notată  $V_{OH}$  și care are valoarea aproximativă :

$$V_{OH} = V_{cc} - V_{R_2} - V_{BE} - V_D \approx V_{cc} - 2 \cdot V_D \approx 3,6 V \quad (3.4)$$

unde s-a neglijat  $V_{R_2}$  deoarece curentul de bază pentru  $T_3$  este neglijabil ( de cca.  $\beta$  ori mai mic decât curentul de emitor care coincide cu curentul de ieșire al porții ). În acest caz ieșirea debitează curent spre sarcină. Impedanța de ieșire mică a repetorului pe emitor  $T_3$  asigură o constantă de încărcare mică pentru eventualele capacități parazite și deci încărcarea lor rapidă.

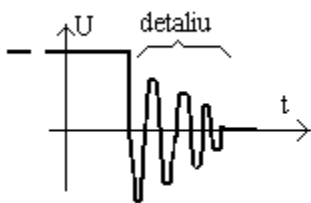
- Dacă tranzistorul  $T_2$  este saturat – fig. 3.26. b. – atunci prin divizorul  $R_2, R_3$  se asigură saturarea și pentru tranzistorul  $T_4$ . În această situație potențialul bazei tranzistorului  $T_3$  față de masă se calculează cu  $V_{B_{T_3}} = V_{CE\ sat\ T_2} + V_{BE\ sat\ T_4} \approx 0,8 V + 0,1 V \approx 0,9 V$

Această tensiune de 0,9 V este insuficientă pentru a deschide joncțiunea BE a lui  $T_3$  înseriată cu dioda D și ca urmare  $T_3$  este blocat. La ieșire se obține nivelul L care este egal cu tensiunea de saturație a tranzistorului  $T_4$  adică  $V_{OL} \approx 0,1 V$  . Se observă că dacă nu ar exista dioda D atunci tensiunea de 0,9 V din baza lui  $T_3$  ar putea deschide tranzistorul  $T_3$  simultan cu  $T_4$  ceea ce ar duce la situație de avarie – un curent periculos de la  $V_{cc}$  la masă prin cele două tranzistoare deschise precum și un nivel logic neprecizat la ieșire.

În această a doua situație (  $T_2$  saturat ) circuitul absoarbe curent dinspre sarcină , fig. 3.26.b. Eventualele capacități parazite de la ieșire sunt descărcate rapid prin  $T_4$  saturat.

Etajul de ieșire în contratimp are o structură care asigură o impedanță mică de ieșire în ambele stări logice la ieșire. Se precizează de asemenea faptul că în momentele de basculare a ieșirii de la un nivel la celălalt este posibil ca pentru durate de timp foarte mici să avem momente de conducție simultană pentru ambele tranzistoare – curentul periculos care apare în aceste momente este limitat de rezistența  $R_4$  .

**Diodele de tăiere  $D_1$  și  $D_2$**  în mod normal sunt blocate atâta timp cât tensiunea de intrare este în domeniul  $V_1 \in [0, +V_{cc}]$  . Este posibil însă ca asociat cu fronturile de durată foarte mică să apară oscilații , fig. 3.27. ,deoarece conexiunile se comportă ca linii de transmisie și de regulă sunt încărcate pe sarcini neadaptate .



Aceste oscilații negative aplicate în emitorul tranzistorului  $T_1$  saturat se propagă prin acesta și coboară potențialul colectorului sub potențialul masei putând deschide joncțiunea colector – substrat – fig.3.24. Deoarece nu există nici o rezistență înseriată cu această joncțiune , curentul care apare nefiind limitat există pericolul distrugerii circuitului de intrare la porții.

Fig. 3.27. Oscilații amorsate de fronturile foarte abrupte

În scopul diminuării acestor efecte , fiecare intrare a tranzistorului multiemitor de intrare are o diodă de limitare ( clamping diode ) plasată chiar sub contact ( mai cu seamă la circuitele din seriile TTL rapide ). Aceste diode limitează oscilația negativă de intrare la cca  $V_D \approx 0,7 V$

și absorb energie din semnalul de la intrare contribuind la rapida amortizare a oscilațiilor parazite.

În legătură cu construcția circuitului standard se mai face observația că rolul celor două diode serie de la circuitul DTL (adaptarea ieșirii circuitului SI la intrarea circuitului NU precum și mărirea marginii de zgomot pentru 0 logic la intrare ) este preluat acum de joncțiunea BC a tranzistorului  $T_1$  în serie cu joncțiunea BE a tranzistorului  $T_4$  .

### Funcționarea circuitului TTL standard

Funcția logică realizată de acest circuit este evident SI-NU aceeași în definitiv cu funcția realizată de poarta DTL din care provine.

**Caracteristica de transfer  $V_O = f(V_I)$**  este prezentată în fig.3.28. Presupunem că una din intrările circuitului TTL este conectată la  $V_{cc}$  ( 1 logic este element neutru pentru operația SI ) iar la cealaltă intrare se aplică o tensiune variabilă de la 0v la  $V_{cc} = 5 v$ .

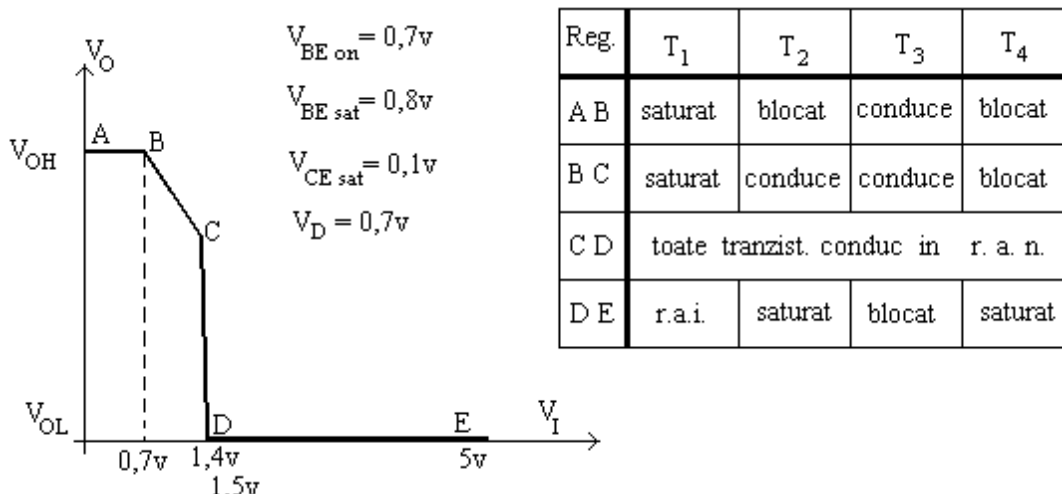


Fig. 3.28. Caracteristica de transfer pentru poarta TTL standard

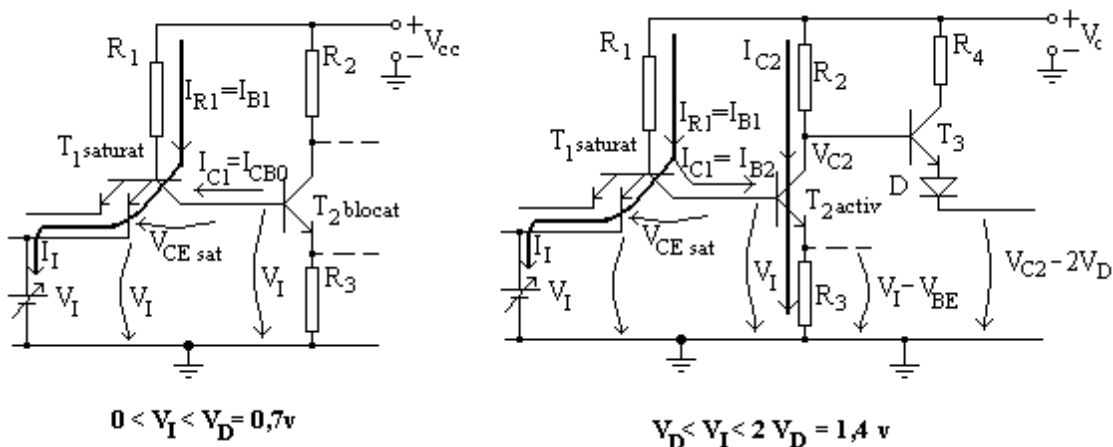


Fig.3.29. Circuitul TTL pentru regiunile AB și BC din caracteristica de transfer

Pe caracteristica de transfer deosebit următoarele regiuni :

- **regiunea AB caracterizată de  $0 < V_I < V_D = 0,7\text{v}$** ; Joncțiunea BE a tranzistorului  $T_1$  este polarizată direct și asigură un curent de bază limitat doar de  $R_1$ . Curentul de colector al lui  $T_1$  coincide cu curentul de bază invers al tranzistorului  $T_2$ . Deoarece curentul de bază invers  $I_{CBO}$  al lui  $T_2$  este foarte mic , condiția de saturație  $\beta I_B > I_C$  pentru tranzistorul  $T_1$  este îndeplinită cu prisosință și deci acesta este saturat. În colectorul său se va găsi un potențial apropiat de cel de intrare și  $T_2$  este blocat pentru domeniul tensiunilor de intrare specifice acestei regiuni. După etajul de ieșire  $T_3, T_4$  se obține , așa cum s-a văzut nivel de ieșire  $V_{OH}$  de valoare cca. 3,6v aproximativ constant cu  $V_I$  .

- **regiunea BC caracterizată de  $0,7\text{ v} < V_I < 2V_D = 1,4\text{ v}$**  ; Tensiunea de intrare fiind mai mare de 0,7 v va deschide tranzistorul  $T_2$ . O parte din curentul de bază al lui  $T_1$  ( în definitiv curentul prin  $R_1$  ) este direcționat spre baza lui  $T_2$  și constituie curentul de colector al lui  $T_1$ . Condiția de saturație pentru  $T_1$  este în continuare îndeplinită (  $I_C$  nu numai că nu este egal cu  $\beta I_B$  dar are chiar sens contrar unui curent de colector specific regimului activ al unui tranzistor npn ). În fond tranzistorul  $T_1$  se comportă similar cu două diode – dioda BE și dioda BC . Deoarece tensiunea pe rezistența  $R_3$  este  $V_{R3} = V_I - V_{BE} < 0,7\text{ v}$  , tranzistorul  $T_4$  continuă a fi blocat. Conducția lui  $T_2$  însă face ca tensiunea din colectorul său să scadă și implicit să scadă și tensiunea de ieșire. Într-adevăr se poate scrie :

$$\begin{cases} V_I = V_{BT_3} = V_{BE} + R_3 \cdot I_{ET_2} \\ I_{ET_2} \approx I_{CT} \\ V_O = V_{cc} - V_{R_2} - V_{BE} - V_D = V_{cc} - R_2 \cdot I_{CT_2} - 2 \cdot V_D \end{cases}$$

și scoțând  $I_{ET_2}$  din prima ecuație și înlocuindu-l în ultima se obține

$$V_O = -\frac{R_2}{R_3} \cdot V_I + V_{cc} + \frac{R_2}{R_3} V_{BE} - 2 \cdot V_D \quad (3.5)$$

Relația (3.5) reprezintă ecuația unei drepte de pantă  $-\frac{R_2}{R_3} = -1,6$  așa cum se prezintă și

reprezentarea grafică pentru aceasta regiune, fig.3.28.

Coordonatele punctului C sunt  $V_I = 1,4\text{ v}$  și  $V_O = 2,5\text{ v}$

- **regiunea CD caracterizată de  $1,4\text{ v} < V_I < 1,5\text{ v}$**  ; Dacă tensiunea de intrare crește peste valoarea de 1,4 v , tranzistorul  $T_4$  începe să conducă ceea ce atrage după sine o mai rapidă variație a tensiunii de ieșire cu tensiunea de intrare - panta acestei regiuni crește ( în valoare absolută ) pentru că în paralel cu  $R_3$  intervine și rezistența de intrare pentru  $T_4$  :

$$panta = -\frac{R_2}{R_3 \parallel R_{in T_4}}$$

În această porțiune a caracteristicii de transfer ,toate tranzistoarele,  $T_2, T_3$  și  $T_4$  conduc în regiunea activă normală, circuitul funcționând ca amplificator inversor. Dacă circuitul este menținut în această regiune un timp mai mare ( microsecunde ) la ieșire este posibil să amorseze oscilații de înaltă frecvență. Pe de altă parte datorită conducției simultane a tranzistoarelor  $T_3$  și  $T_4$  în această regiune crește puternic consumul absorbit de la sursă – în regim dinamic consumul porții TTL este considerabil mai mare decât consumul static.

- **regiunea DE caracterizată de  $V_I > 1,5\text{ v}$**  ; Pentru tensiuni de intrare mai mari de 1,5 v se ajunge în situația cu joncțiunea BE a tranzistorului  $T_1$  polarizată invers , joncțiunea BC a sa polarizată direct –  $T_1$  lucrează în regim activ invers - și tranzistorul  $T_2$  saturat. Așa cum s-a văzut  $T_2$  saturat atrage după sine saturarea lui  $T_4$  și blocarea lui  $T_3$  ceea ce corespunde la nivel  $V_{OL}$  la ieșire.

Tensiunea de prag pentru circuitul TTL standard este de cca. 1,4 volți.

### 3.4.1.2. Caracteristicile și parametrii porții TTL standard

#### 1. Tensiune de alimentare, temperatură de lucru

Seria 74 \*\*\* :  $4,75 \text{ v} \leq V_{cc} \leq 5,25 \text{ v}$   $0^\circ \leq t_A \leq 70^\circ$

Seria 54 \*\*\* :  $4,5 \text{ v} \leq V_{cc} \leq 5,5 \text{ v}$   $-25^\circ \leq t_A \leq 125^\circ$

#### 2. Nivele logice; margine de zgomot de curent continuu

Scopul principal al unei porți logice este acela de a comanda alte circuite similare. Este deci necesar a se asigura compatibilitatea între nivelele tensiunilor logice de la intrarea unei porți logice cu cele de la ieșirea sa. În principal acest fapt este atestat de caracteristica de transfer. În afară de aceasta, prin date de catalog se asigură valori limită garantate pentru cele mai defavorabile condiții de exploatare ( tensiune de alimentare , încărcare, temperatură ).

Pentru circuitul TTL standard alimentat la tensiunea nominală  $V_{cc} = 5 \text{ v}$  se asigură :

$V_{IL}$  - tensiune de intrare corespunzătoare nivelului L ; se admite  $( V_{IL} )_{\max} = 0,8 \text{ v}$

$V_{IH}$  - tensiune de intrare corespunzătoare nivelului H ; se admite  $( V_{IH} )_{\min} = 2 \text{ v}$

$V_{OL}$  - tensiune de ieșire garantată pentru nivel L ; se garantează  $V_{OL} \leq 0,4 \text{ v}$

$V_{OH}$  - tensiune de ieșire garantată pentru nivel H ; se garantează  $V_{OH} \geq 2,4 \text{ v}$

Așa cum se observă din valorile indicate mai sus , tensiunile de ieșire sunt “mai bune” decât cele care ar fi permise de intrare. Această “rezervă de tensiune” numită margine de zgomot de curent continuu are o valoare de 0,4 v atât pentru nivel L cât și pentru nivel H :

$$V_{IL} - V_{OL} = V_{OH} - V_{IH} = 0,4 \text{ v.}$$

Cu toate că **este garantată** o margine de zgomot de numai 0,4 v , poarta TTL are **practic** o margine de zgomot mult mai mare , și anume de cca. 1,4 v . Aceasta se poate determina având în vedere că, așa cum s-a precizat, tensiunea de prag determinată din caracteristica de transfer este de 1,4 v iar tensiunile de ieșire sunt  $V_{OL} \approx 0$  și  $V_{OH} \approx 3,5 \text{ v}$  ( se observă că nivelul H este mai bine protejat contra perturbațiilor ).

#### 3. Caracteristica de intrare ; Curent de intrare; Impedanță de intrare

Caracteristica de intrare prezintă dependența  $I_I = f ( U_I )$ . Reamintim convenția privind semnul curenților de intrare: un curent care intră în poartă are semnul plus și unul care iese din poartă are semnul minus - fig. 3.30.a.

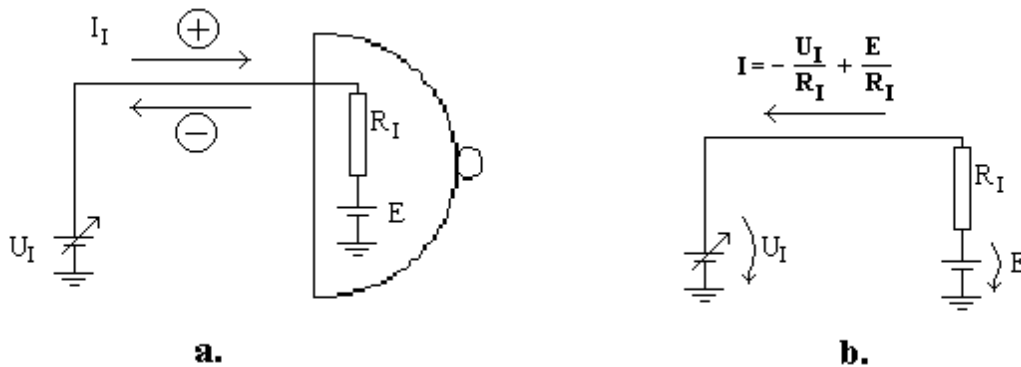


Fig.3.30. Circuit pentru trasarea caracteristicii de intrare  
a. Circuitul propriu zis; b. Curentul de intrare în funcție de componentele circuitului.

În cele ce urmează odată cu trasarea caracteristicii de intrare se vor determina și elementele de circuit conform cu schema principală din fig. 3.30.b.

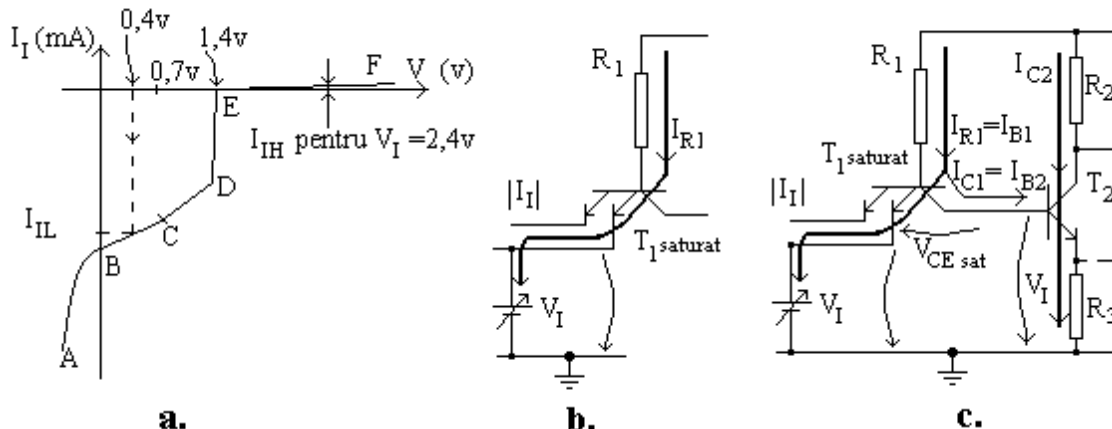


Fig. 3.31. Caracteristica de intrare pentru poarta TTL standard  
a. caracteistica propriu-zisă; b. circuitul de intrare pentru porțiunea BC;  
c. circuitul de intrare pentru porțiunea CD

Pe caracteristica de intrare se deosebesc următoarele regiuni:

- **regiunea AB ce corespunde la  $V_I < 0$**  ; La aplicarea unei tensiuni negative de intrare este deschisă dioda de intrare și caracteristica de intrare are alura specifică unei diode.
- **regiunea BC ce corespunde la o tensiune de intrare  $0 < V_I < 0,7v$**  ; Dioda de tăiere este blocată dar joncțiunea BE a lui  $T_1$  este în conducție – fig.3.31.b. Curentul de intrare are sensul de ieșire din poartă ( este negativ – în figură s-a indicat valoarea sa în modul ) și se calculează cu relația :

$$I_I = -|I_I| = -\frac{V_{cc} - V_{BE} - V_I}{R_1} = \frac{V_I}{R_1} - \frac{V_{cc} - V_{BE}}{R_1} \quad (3.6)$$

Conform cu (3.6) regiunea BC are alura unei drepte de pantă egală cu  $1/R_1$  . Identificarea relației (3.6) cu cea dedusă în schema de principiu din fig.3.30.b. pune în evidență o **rezistență de intrare de valoare  $R_1$**  în serie cu sursa  $E = V_{cc} - V_{BE}$  .

În această regiune se plasează un punct de măsură garantat de producător :

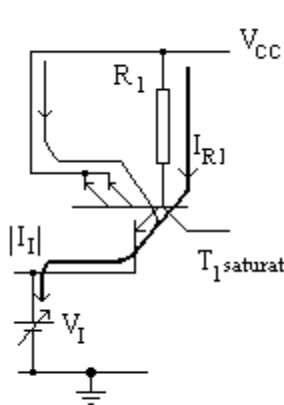
**Pentru  $V_I = V_{IL} = 0,4v$  se garantează că  $|I_I| < 1,6 mA$**

Valoarea curentului de intrare garantat pentru nivel L ,  $I_{IL} = - 1,6 mA$ , se numește o **sarcină TTL standard** pentru nivel L – se notează cu 1 UL ( UL = unit load ).

Testarea se face în condițiile cele mai defavorabile care ar tinde să mărească valoarea în modul a lui  $I_{IL}$  ( vezi rel.3.6 )

- tensiune de alimentare de valoare maxim admisă (  $V_{cc} = 5,25 v$  sau  $5,5 v$  )
- temperatură maxim admisă (  $V_{BE}$  scade cu temperatura;  $R_1$  crește cu temperatura ; preponderent este însă  $V_{BE}$  )
- toate celelate intrări legate la o tensiune cât mai ridicată (  $V_{cc}$  ) pentru a scoate în evidență eventualele scurtcircuite între emitorii tranzistorului multiemitor de intrare precum și eventualul efect de tranzistor parazit ( tranzistorul npn lateral de la intrare ) care ar avea drept consecință creșterea curentului de intrare la intrarea testată fig. 3.32.

- **regiunea CD ce corespunde la o tensiune de intrare  $0,7v < V_I < 1,4v$**  ; Sensul curentului de intrare se păstrează. Tranzistorul  $T_2$  începe să conducă. Curentul său de bază, notat  $I_{B2}$  , poate fi calculat cu relația următoare:



$$I_{B2} = \frac{V_I - V_{BE}}{(\beta_2 + 1) \cdot R_3}$$

Scăzând acest curent din  $I_I$  dat de (3.6) se obține

$$I_I = -|I_I| = \left( \frac{1}{R_1} + \frac{1}{(\beta_2 + 1) \cdot R_3} \right) \cdot V_I + \left( \frac{1}{R_1} - \frac{1}{(\beta_2 + 1) \cdot R_3} \right) \cdot V_{BE} - \frac{V_{cc}}{R_1} \quad (3.7)$$

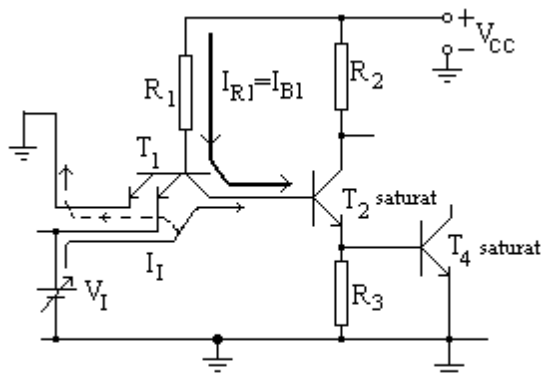
Rezistența de intrare scade puțin devenind egală cu  $R_1$  în paralel cu  $(\beta_2 + 1)R_3$  ( totuși mult mai mare ca  $R_1$  ).

Fig.3.32. Intrare testată

- **regiunea DE ce corespunde la o tensiune de intrare  $1,4v < V_I < 1,5v$  ;** Când tensiunea de intrare atinge o valoare în jur de  $1,4 - 1,5 v$  , toate tranzistoarele conduc și ieșirea basculează de la nivel H la nivel L. În această regiune curentul de emitor al tranzistorului  $T_1$  scade rapid ( în valoare absolută ) după care tinde să-și schimbe sensul,  $T_1$  trecând în regim activ invers.

- **regiunea EF ce corespunde la o tensiune de intrare  $V_I > 1,5v$  ;** În această regiune tranzistoarele  $T_2$  și  $T_4$  sunt saturate,  $T_3$  , blocat iar  $T_1$  este în regim activ invers.

Curentul de intrare se calculează cu relația:



$$I_I = \beta_{inv} \cdot I_{B1} = \beta_{inv} \cdot \frac{V_{cc} - 3V_D}{R_1} \quad (3.8)$$

unde cu  $\beta_{inv}$  s-a notat câștigul în curent invers al tranzistorului  $T_1$  și are un ordin de mărime de cca.  $10^{-2}$  deoarece tranzistorul de intrare este dopat cu aur ( doparea cu aur asigură mărirea vitezei de comutare și ca efect secundar micșorarea factorului de amplificare în curent  $\beta$  ).

Fig. 3.33. Circuitul de intrare pentru  $V_I > 1,5 V$

În această regiune se plasează al doilea punct de măsură garantat de producător pentru circuitul de intrare :

**Pentru  $V_I = V_{IH} = 2,4 v$  se garantează că  $I_I < 40 \mu A$**

Valoarea curentului de intrare garantat pentru nivel H ,  $I_{IH} = 40 \mu A$ , se numește **o sarcină TTL standard** pentru nivel H .

Se observă că pentru acest curent de intrare, modelarea circuitului de intrare se face cu o simplă rezistență de valoare cel puțin egală cu  $R_I = \frac{2,4V}{40 \mu A} = 60 k\Omega$  .



Testarea se face în condițiile cele mai defavorabile care ar tinde să mărească valoarea curentului  $I_{IH}$  ( vezi rel.3.8 )

- tensiune de alimentare de valoare maxim admisă (  $V_{cc} = 5,25$  v sau  $5,5$  v )
- temperatură maxim admisă (  $V_{BE}$  scade cu temperatura;  $R_1$  crește cu temperatura ; preponderent este însă  $V_{BE}$  )
- toate celelalte intrări legate la masă pentru a scoate în evidență eventualele scurtcircuite între emitorii tranzistorului multiemitor de intrare precum și eventualul efect de tranzistor parazit ( tranzistorul npn lateral de la intrare ) care ar avea drept consecință creșterea curentului de intrare la intrarea testată, fig. 3.33.

### Observații

1. Prin legarea împreună a două intrări TTL ale aceluiași circuit se obține :
  - o sarcină TTL în cazul 0 logic la intrare
  - două sarcini TTL în cazul 1 logic la intrare ( fiecare emitor al tranzistorului de intrare intervine cu aportul său de curent de valoare  $\beta_{Inv} I_{B1}$  – efectul de tranzistor în regim activ invers apare pentru fiecare emitor ! ).
2. Reunind rezultatele obținute mai sus, circuitul de intrare pentru poarta TTL standard poate fi modelat ca în fig.3.34.

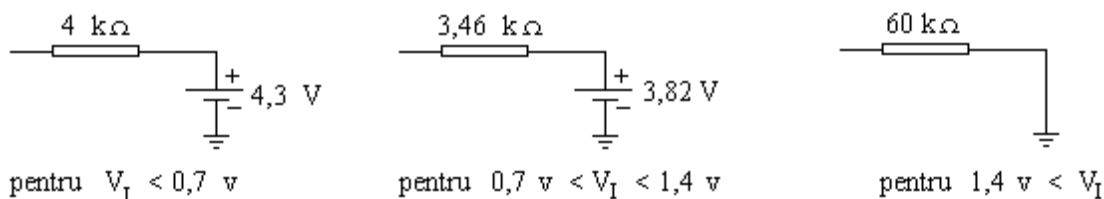
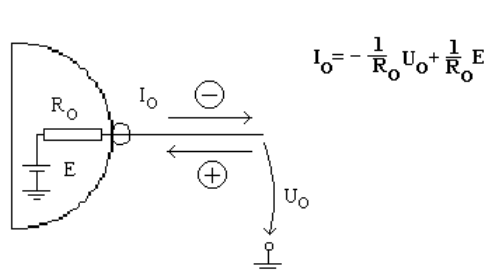


Fig. 3.34. Modele pentru circuitul de intrare al porții TTL standard

### 4. Caracteristica de ieșire; impedanțe de ieșire; nivele logice la ieșire



Caracteristica de ieșire prezintă dependența  $I_o = f(U_o)$  și prin identificare cu modelul din fig. 3.35 poate permite determinarea rezistenței de ieșire a circuitului TTL și a nivelelor tensiunilor de ieșire.

Fig. 3.35. Model pentru circuitul de ieșire al porții TTL

#### 4.1. Caracteristica de ieșire de nivel mare

Presupunem că la intrare se aplică 0 logic și atunci ieșirea este la nivel  $V_{OH}$ . Făcând abstracție de tranzistorul  $T_4$  blocat, circuitul de ieșire arată ca cel din fig.3.36. a.

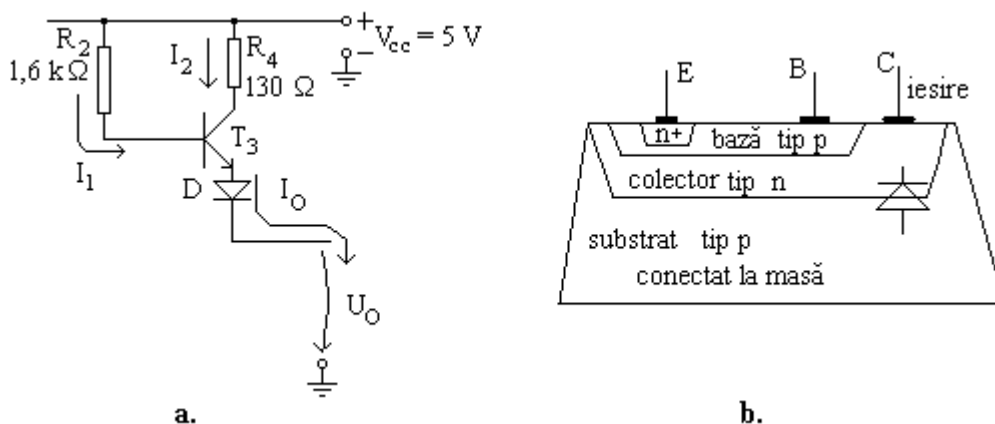


Fig.3.36. a. Circuitul de ieșire TTL pentru nivel  $V_{OH}$   
b. Secțiune prin tranzistorul  $T_4$

În această situație se trasează caracteristica  $I_o = f(U_o)$  care arată ca în fig. 3.37

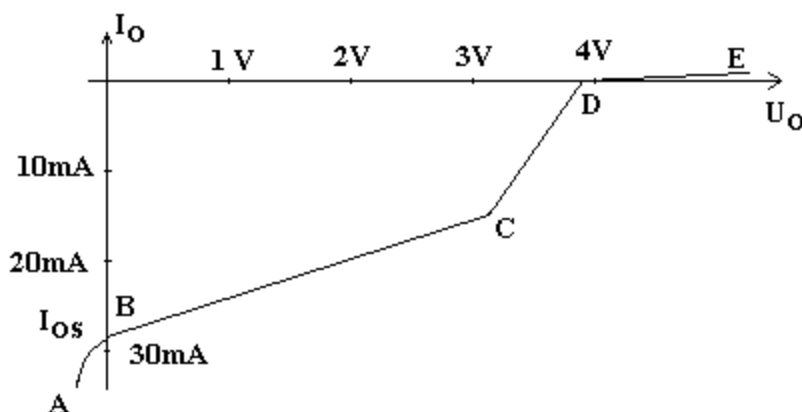


Fig.3.37. Caracteristica de ieșire TTL standard pentru nivel H

Pe caracteristică se deosebesc următoarele regiuni :

- **regiunea AB** care corespunde la tensiuni negative la ieșire; în această regiune este polarizată direct dioda parazită colector-substrat a tranzistorului  $T_4$ . Curentul de ieșire are alura specifică unui curent de diodă în conducție directă.

- **punctul B** corespunde unei tensiuni de ieșire nulă (ieșirea scurtcircuitată la masă). În această situație se măsoară curentul de scurtcircuit  $I_{OS}$  pentru care valoarea garantată este  $20 mA \leq |I_{OS}| \leq 50 mA$ . Se verifică în acest fel funcționarea corectă a tranzistorului  $T_3$ , diodei  $D$  și valoarea rezistenței de limitare  $R_4$ .

- **regiunea BC**. În această regiune tranzistorul  $T_3$  este saturat. Curentul de ieșire cu sensul din fig.3.36.a se va calcula cu relația :

$$\begin{aligned}
I_O = I_1 + I_2 &= \frac{V_{cc} - (V_O + V_D + V_{BET_3})}{R_2} + \frac{V_{cc} - (V_O + V_D + V_{CET_3sat})}{R_4} = \\
&= -\left(\frac{1}{R_2} + \frac{1}{R_4}\right)V_O + \left(\frac{1}{R_2} + \frac{1}{R_4}\right)(V_{cc} - V_D) - \frac{V_{BET_3}}{R_2} - \frac{V_{CET_3sat}}{R_4} = \\
&= -\left(\frac{1}{R_2} + \frac{1}{R_4}\right)V_O + \left(\frac{1}{R_2} + \frac{1}{R_4}\right)(V_{cc} - V_D - \frac{R_4}{R_2 + R_4}V_{BET_3} - \frac{R_2}{R_2 + R_4}V_{CET_3sat})
\end{aligned}$$

In urma identificării cu schema din fig.3.35. pentru circuitul de ieșire al porții TTL se determină o rezistență echivalentă de ieșire  $R_O = R_2 \parallel R_4 \approx 120 \Omega$  și o sursă echivalentă egală cu  $E \approx 5 - 0,7 - 0,052 - 0,05 \approx 4,2 V$

- **regiunea CD.** In această regiune tranzistorul  $T_3$  trece în regim activ nemaifiind saturat. Curentul de ieșire cu sensul din fig.3.36.a se va calcula cu relația :

$$\begin{aligned}
I_O = I_{ET_3} &= (\beta_3 + 1)I_{BT_3} = (\beta_3 + 1)\frac{V_{cc} - V_{BET_3} - V_D - V_O}{R_2} = \\
&= -\frac{\beta_3 + 1}{R_2}V_O + \frac{\beta_3 + 1}{R_2}(V_{cc} - V_{BET_3} - V_D)
\end{aligned}$$

In această situație se identifică o rezistență echivalentă de ieșire  $R_O = \frac{R_2}{\beta_3 + 1} \approx 80 \Omega$  și o sursă de valoare  $E = V_{cc} - V_{BET_3} - V_D \approx 3,6 V$ .

Pentru testarea ieșirii în starea  $V_{OH}$  se forțează la ieșire curentul  $I_{OH} = 800 \mu A$  și se verifică faptul că tensiunea de ieșire este  $V_{OH} > 2,4 V$ . Condițiile de testare au în vedere situația cea mai defavorabilă care ar tinde să micșoreze  $V_{OH}$  :

- tensiunea de alimentare minimă  $V_{cc} = 4,75 V$
- o singură intrare în 0 logic de nivel maxim  $V_{IL} = 0,8 V$
- temperatură de lucru minimă ( $V_D$  și  $V_{BE}$  maxime)

Se observă că pentru un  $I_{OH} = 800 \mu A$  se calculează nivel 1 logic de valoare  $V_{OH} = 3,6 V$  iar pentru  $I_{OH} = 0$  (ieșirea TTL în gol) se determină  $V_{OH} = 3,9 V$  ( $V_{BE}$  și  $V_D$  sunt la limita deschiderii - curent nul - și au valori  $V_{BE} = V_D \approx 0,5 - 0,55 V$ ).

*Problemă :* Să se determine coordonatele punctului C de pe caracteristica de ieșire . Să se verifice faptul că pe porțiunea cu tensiuni de ieșire mai mici decât ale punctului C tranzistorul  $T_3$  este saturat iar în porțiunea cu tensiuni mai mari este activ ( pentru tranzistoare se adoptă  $\beta=20$ ).

- **regiunea DE.** Dacă se crește tensiunea de ieșire peste  $3,6 V$ , tranzistorul  $T_3$  se blochează. Crescând în continuare tensiunea de ieșire peste valoarea  $+V_{cc}$ , curentul de ieșire își schimbă semnul și are o valoare foarte mică ( curent invers al diodei D). Dacă tensiunea crește prea mult peste  $10-15 V$ , se poate străpunge fie  $T_4$ , fie D.

Reunind rezultatele de mai sus, circuitul de ieșire al porții TTL standard aflată la nivel  $V_{OH}$  va avea modelul din fig.3.37.

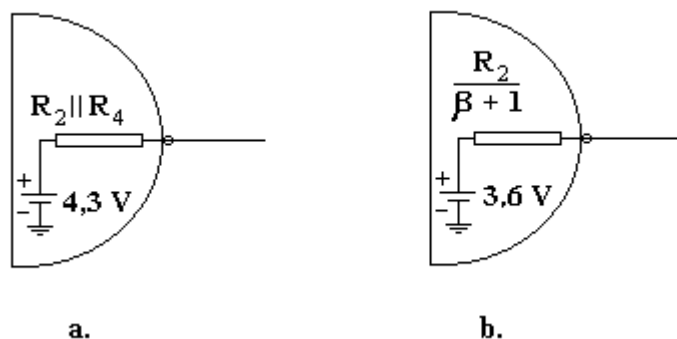


Fig.3.37. Circuitul de ieșire TTL standard pentru nivel High ;  
 a. pentru  $T_3$  saturat ;  
 b. pentru  $T_3$  activ ;

#### 4.2. Caracteristica de ieșire de nivel coborât

Presupunem că la toate intrările porții se aplică 1 logic ceea ce determină 0 logic la ieșire. In acest caz tranzistorul  $T_3$  este blocat etajul de ieșire arată ca în fig. 3.38.

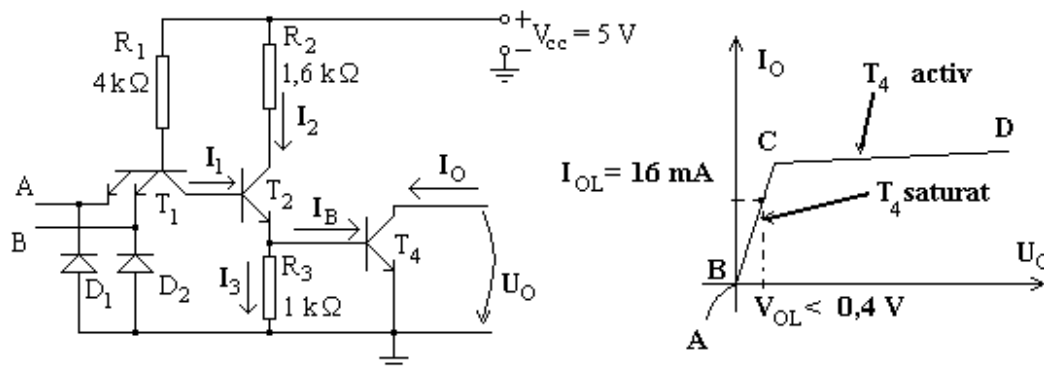


Fig.3.38. Circuit de ieșire TTL standard pentru nivel Low și caracteristica  $I_O = f(V_O)$

Curentul de la ieșire are sensul de intrare spre poartă, deci are valoare pozitivă.

- **regiunea AB.** Pentru tensiuni negative la ieșire este polarizată direct jonctiunea colector  $T_4$  - substra iar curentul are valori negative (sensul de ieșire dinspre poartă ) având alura specifică unui curent de diodă polarizată direct.

- **regiunea BCD.** Toate intrările porții fiind pe 1 logic,  $T_1$  lucrează în regim activ invers iar  $T_2$  este saturat și asigură blocarea lui  $T_3$  și curent de bază pentru  $T_4$ . Acest curent de bază se poate calcula cu relația :

$$I_{BT_4} = I_1 + I_2 - I_3 = \frac{V_{cc} - V_{BCT_1} - V_{BET_2} - V_{BET_4}}{R_1} + \frac{V_{cc} - V_{CET_{2sat}} - V_{BET_4}}{R_2} - \frac{V_{BET_4}}{R_3}$$

Cu valori numerice, pentru  $V_{cc} = 4,75$  V,  $V_{BET_2} = V_{BCT_1} = V_{BET_4} = 0,7$  V și  $V_{CET_{2sat}}=0$  se obține  $I_{BT_4} = 2,4$  mA.

Caracteristica de ieșire a porții logice coincide cu caracteristica de colector  $I_C = f(U_{CE})$  pentru tranzistorul  $T_4$  având parametrul  $I_B = \text{const.} = 2,4 \text{ mA}$ .

Testarea tensiunii de ieșire  $V_{OL}$  se face astfel : se impune  $I_O = 16 \text{ mA}$  și se verifică faptul că tensiunea de ieșire este  $V_{OL} \leq 0,4 \text{ V}$ .

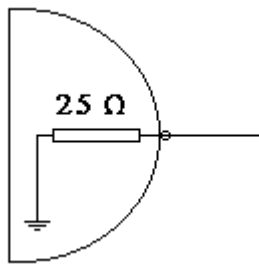
*Observație* : presupunând că tranzistorul  $T_4$  are factorul  $\beta = 20$  , pentru  $I_B = 2,4 \text{ mA}$  și  $I_C = 16 \text{ mA}$  rezultă că tranzistorul este saturat și deci tensiunea de ieșire este cu prisosință mai mică de  $0,4 \text{ V}$ .

Condițiile cele mai defavorabile în care se efectuează măsurătoarea au în vedere micșorarea curentului de bază ceea ce ar duce la ieșirea din saturație a lui  $T_4$  :

- tensiune de alimentare minimă.
- temperatură minimă (  $V_{BE}$  maxim ).
- intrările la 1 logic de valoare minimă ( ar avea ca efect tendința de scoatere din saturație a lui  $T_2$  și deci micșorarea curentului  $I_2$  și implicit a lui  $I_{BT4}$  ).

Considerând porțiunea BC a caracteristicii de ieșire ca fiind rectilinie, ar rezulta o rezistență de ieșire  $R_o = \frac{0,4 \text{ V}}{16 \text{ mA}} = 25 \Omega$ . Pentru cazul 0 logic la ieșire, circuitul de ieșire al porții TTL standard arată ca în fig.3.39.

standard arată ca în fig.3.39.



Având în vedere faptul că experimental se măsoară  $V_{OL} \ll 0,4 \text{ V}$  ( de fapt tranzistorul  $T_4$  este profund saturat) rezultă că și rezistența de ieșire pentru nivel mic este mult mai mică de  $25 \Omega$  (practic  $5 - 10 \Omega$ ).

Fig.3.39. Circuit de ieșire TTL pentru nivel L la ieșire

### 5. Fan out

Circuitul TTL standard are un fan-out egal cu :

$$n_H = \frac{I_{OH}}{I_{IH}} = \frac{800 \mu A}{40 \mu A} = 20 \quad \text{și} \quad n_L = \frac{I_{OL}}{I_{IL}} = \frac{16 \text{ mA}}{1,6 \text{ mA}} = 10$$

In concluzie circuitul are un fan-out de 10.

### 6. Timpul de propagare

Pentru măsurarea timpului de propagare (timpul de întârziere la propagarea informației logice) se simulează încărcarea porții la un fan-out de 10 - fig.3.40.

Pentru poarta TTL standard valorile tipice sunt :

- $t_{pLH} = 12 \text{ ns}$  - timp de propagare pentru variația ieșirii din L în H
- $t_{pHL} = 8 \text{ ns}$  - timp de propagare pentru variația ieșirii din H în L

Rezultă valoarea medie tipică  $t_p = \frac{t_{pHL} + t_{pLH}}{2} = 10 \text{ ns}$

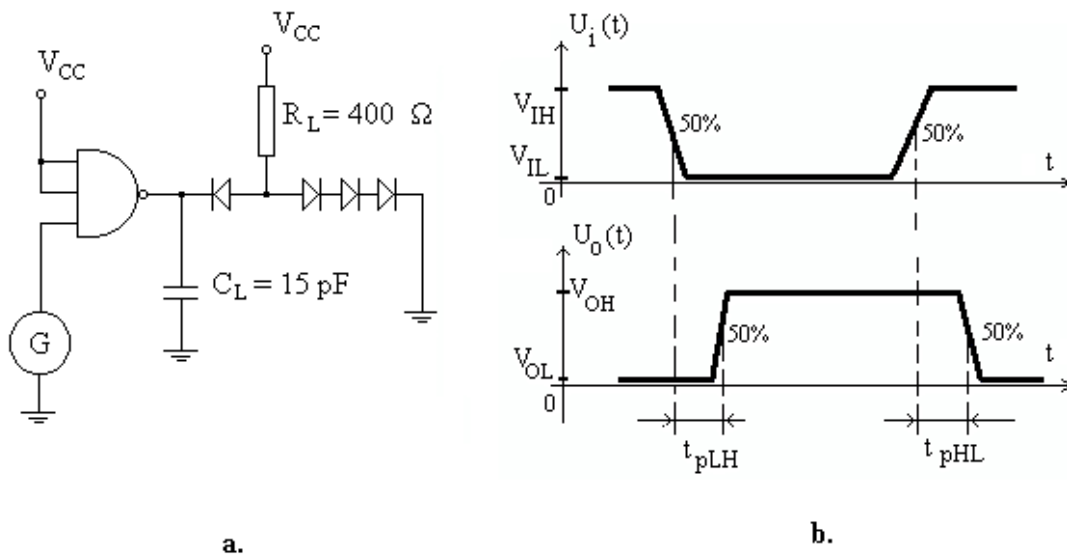


Fig.3.40. Măsurarea timpului de propagare  
a. circuitul testat  
b. semnalul de la intrarea și ieșirea porții logice

## 7. Putere disipată

Puterea disipată în **regim static** este  $P_d = V_{CC} \cdot I_{CC}$  unde prin  $I_{CC}$  s-a notat valoarea medie a curentului absorbit de la sursă și se calculează cu relația:

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} = 2 \text{ mA}$$

unde  $I_{CCL} = 3 \text{ mA}$  este curentul absorbit de la sursă în situația nivel L la ieșire și valoarea sa se determină cu  $I_{CCL} = I_{R1} + I_{R2}$  iar  $I_{CCH} = 1 \text{ mA}$  este curentul absorbit de la sursă în situația H la ieșire și valoarea sa se determină cu  $I_{CCH} = I_{R1}$  (pentru nivel H la ieșire  $T_2$  este blocat și  $I_{R2}$  este nul).

Puterea disipată static este deci  $P_d = 10 \text{ mW}$  per poartă. Evident valoarea este specifică porții reprezentative SI-NU. Pentru alte variante valoarea se poate modifica în funcție de schema propriu-zisă a circuitului.

În regim dinamic consumul porții crește în principal datorită a două componente :

- **conducția simultană** a tuturor tranzistoarelor în momentul comutării; această componentă este proporțională cu frecvența  $f$  de comutare a porților.
- încărcarea sarcinii capacitive  $C_L$  ; la fiecare basculare din  $V_{OL}$  în  $V_{OH}$  sarcina capacitivă

$C_L$  acumulează energia  $\frac{C_L \cdot V_{OH}^2}{2}$  pe care apoi, la descărcare, o disipă pe tranzistorul  $T_4$  de la ieșire. Considerând  $f$  frecvența de basculare, se determină puterea disipată dinamic datorată sarcinii capacitive ca fiind  $P_d = f \frac{C_L \cdot V_{OH}^2}{2}$

Practic se constată că pentru frecvențe de ordinul câtorva de MHz puterea consumată de o poartă logică TTL se dublează comparativ cu puterea statică.

### 3.4.2. Seriile circuitelor TTL

Circuitele TTL sunt fabricate ca circuite integrate pe scară medie în seriile 54 \*\*\* (pentru gamă extinsă de temperaturi și tensiuni de alimentare) și seria 74\*\*\* (pentru gamă restrânsă de temperaturi). Grupul de două sau trei cifre care urmează definesc tipul circuitului (de exemplu 74 00 este poarta SI NU cu două intrări, 74 10 poarta SI NU cu trei intrări, 74 192 un numărător decadic , etc.).

Între marcajul 54/74 și cifrele care definesc tipul poate fi marcată o literă care definește seria în care este fabricat circuitul rezultând un marcaj de forma **54/74 [ ] \*\*\***.

Seriile în care sunt fabricate circuitele TTL sunt

- Seria standard – nemarcat cu nici o literă
- Seria de mică putere (low power) – litera L ; scoasă din fabricație în prezent.
- Seria rapidă – litera H ; scoasă din fabricație.
- Seria Schottky – litera S ; puțin fabricată în prezent.
- Seria Low power Schottky – litere LS;
- Seria Advanced Low Schottky – litere ALS;

În final reamintim aici succint parametrii porții TTL standard .

Tensiune alimentare $V_{CC}$	+ 5 V	Curent ieșire $I_{OL}/I_{OH}$	16 mA / -800 $\mu$ A
Nivele intrare $V_{IL}/V_{IH}$	0,8 V / 2 V	$t_{PLH} / t_{PHL}$	12 ns / 8 ns
Nivele ieșire $V_{OL}/V_{OH}$	0,4 V / 2,4 V	Putere disipată	10 mW
Niv. tipice ieș. $V_{OL}/V_{OH}$	0.1 V / 3,6 V	Fan out	10
Impuls logic tipic $U_L$	3,5 V	Rezist. Ieșire $R_{OH}$	$R_2    R_4$ sau $R_2 / \beta$
Curent intrare $I_{IL}/I_{IH}$	-1,6 mA / 40 $\mu$ A	Rezist. Ieșire $R_{OL}$	aprox. 5 – 10 $\Omega$