

UNIVERSITATEA TEHNICĂ "GH. ASACHI" IAȘI

Facultatea de Electronica si Telecomunicatii

Domeniul: Inginerie electronica si telecomunicatii

Specializarea: Microelectronica, optoelectronica si nanotehnologii

Forma de învățământ: licenta Anul de studii: 4 Anul universitar: 2007-2008

PROGRAMA ANALITICĂ

a disciplinei:

TESTARE SI TESTABILITATE

1. Titularul disciplinei: conf.dr.ing. Imbrea Damian

2. Tipul disciplinei: de specialitate codul: DIS404M

3. Structura disciplinei:

Semestrul	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
7	3	-	2	1	examen	42	-	28	14	84

4. Obiectivele cursului:

Prezentarea:

- modelelor de defecte logice,
- tehnicilor de simulare a defectelor,
- procedurilor de generare a testelor,
- tehnicilor de compresie a datelor,
- metodelor de proiectare pentru testabilitate,
- unor arhitecturi de sisteme cu autotestare și autocontrol.

7. Proceduri folosite la predarea disciplinei:

- expunerea la tablă, cu exemple și aplicații,
- prezentarea cu proiectorul de imagini,
- analize pe calculator.

8. Sistemul de evaluare:

Evaluarea continuă:

Activitatea la seminar / laborator / proiect / practică (M)

Pondere în nota finală: 10%

Testele pe parcurs (M)

Pondere în nota finală: 10%

Lucrări de specialitate (CC)

Pondere în nota finală: 20%

Evaluarea finală: (Se precizează: examen sau colocviu.) – Examen (T)

Pondere în nota finală: 60%

Proba(ele): - test scris (de rezolvare a 4 probleme)

9. Conținutul disciplinei:

a) Curs

Cap. 1 Modelarea defectelor – 12 ore

1.1 Modele de defecte logice

1.2 Defecte structurale

1.3 Defecte funcționale

- 1.4 Detectia defectelor și redundanța
- 1.5 Echivalența defectelor și localizarea
- 1.6 Dominanța defectelor
- Cap.2 Simularea defectelor – 6 ore
 - 2.1 Tehnici generale de simulare a defectelor
 - 2.2 Simularea defectelor în circuitele combinaționale
 - 2.3 Eșantionarea defectelor
 - 2.4 Analiza statistică a defectelor
- Cap.3 Generarea testelor – 9 ore
 - 3.1 Generarea testelor structurale
 - 3.1.1 Orientate pe defecte
 - 3.1.2 Independente de defecte
 - 3.1.3 Aleatoare
 - 3.1.4 Sisteme de generare automată a testelor
 - 3.2 Generarea testelor funcționale
 - 3.2.1 Testarea fără modele de defecte
 - 3.2.2 Testarea exhaustivă și pseudoexhaustivă
 - 3.2.3 Testarea cu modele de defecte specifice
- Cap. 4 Tehnicide compresie – 6 ore
 - 4.1 Numărarea unităților
 - 4.2 Numărarea tranzițiilor
 - 4.3 Controlul parității
 - 4.4 Analiza de semnătură
- Cap.5 Proiectarea pentru testabilitate – 6 ore
 - 5.1 Controlabilitatea și observabilitatea
 - 5.2 Tehnici DFT ad-hoc
 - 5.3 Tehnici de scanare
- Cap.6 Autotestarea și autocontrolul – 3 ore
 - 6.1 Coduri corectoare și detectoare de erori
 - 6.2 Arhitecturi BIST off-line
 - 6.3 Arhitecturi BIST on-line

Total ore curs - 42

b) Aplicații

Proiect:

- P1. Familiarizarea cu anumite programe de analiză și de sinteză logică – 4 ore
- P2. Modelarea HDL (VHDL, Verilog) a unui sistem digital și implementarea – 6 ore
- P3. Testarea sistemului digital – 4 ore

Laborator:

- L1. Defecte logice specifice circuitelor bipolare și MOS – 2 ore
- L2. Detectia conexiunilor blocate în circuitele combinaționale – 2 ore
- L3. Echivalența și dominanța defectelor- 2 ore
- L4. Identificarea redundanței și optimizarea circuitelor – 2 ore
- L5. Detectia scurtcircuitelor – 2 ore
- L6. Inițializarea circuitelor secvențiale – 2 ore
- L7. Detectia conexiunilor blocate în circuitele secvențiale – 2 ore
- L8. Generarea pseudoaleatoare a testelor – 2 ore
- L9. Testarea pseudoexhaustivă – 2 ore
- L10. Tehnici de compresie – 4 ore
- L11. Analiza de semnătură – 4 ore

Total ore aplicații - 42

10. Bibliografie selectivă

1. Damian Imbrea, Testarea și Testabilitatea Sistemelor Digitale, Ed. VIE, Iași, 2000
2. M. Abramovici, M. A. Breuer, A. D. Friedman, Digital Systems Testing and Testable Design, Computer Science Press, New York, 1990
3. M. L. Bushnell and V. D. Agrawal, Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits, Kluwer Academic Publishers, 2000
4. ***Boundary-Scan Logic IEEE Std. 1149.1 Data Book, Texas Instruments, 1997

Semnături:

Data:

Titular curs: Imbrea Damian

Titular aplicații: Imbrea Damian