

Lucrare de laborator nr. 3

Proiectarea circuitelor logice in tehnologie CMOS

Scopul lucrării: însușirea cunoștințelor privind proiectarea circuitelor logice în tehnologie CMOS (tranzistorul MOS, modele SPICE, parametrii de model, structuri logice CMOS, principii de proiectare a porților logice simple, dimensionare tranzistoare, descriere și simulare SPICE, caracteristici statice).

I. Tranzistorul MOS

Dispozitivele logice CMOS (Complementary Metal-Oxide Semiconductors) sunt în prezent cele mai utilizate dispozitive din cadrul circuitelor logice complexe cum ar fi microprocesoarele sau circuitele pentru comunicatii sau procesare de semnal.

Structura CMOS este utilizată pe scară largă în circuitele integrate datorita următoarelor avantaje: putere disipată mică, funcționare la frecvențe mari ale semnalului de clock și implementarea ușoară la nivel de tranzistor.

În figura 1 este prezentat tranzistorul MOS cu canal n sub trei aspecte: *structura fizică*, *reprezentarea layout* și *reprezentarea schematică*. În cadrul structurii fizice a tranzistorului nMOS substratul (bulk) este de tip p . Cele două regiuni de tip n^+ constituie regiunile de difuzie ale *sursei* și *drenei*. Poarta tranzistorului MOS este realizată, în general, din poli-siliciu și este separată de substrat printr-un strat subțire izolator de SiO_2 (oxid de siliciu). Dacă pe poartă (poly gate) se aplică progresiv un potențial pozitiv, atunci electronii din substrat sunt atrași la interfața dintre substrat și oxid (gate oxide). Pentru o anumită valoare a potențialului aplicat pe poartă numărul de electroni liberi de la interfață depășește numărul de goluri, fenomen cunoscut sub numele de *inversie electronică*. Acești electroni liberi formează curentul de conducție drenă-sursă I_{DS} dacă între cele două regiuni ale drenei și sursei se aplică o diferență de potențial V_{DS} . Spațiul situat sub poartă și între regiunile de difuzie ale drenei și sursei prin care circulă curentul I_{DS} este cunoscut sub numele de *canalul tranzistorului* și este caracterizat de următorii parametri geometrici:

- Lungimea proiectată a canalului (L_{drawn}). Lungimea efectivă (L_{eff}), distanța dintre regiunile de difuzie drenă-sursă, este mai mică și variază în timpul funcționării. Astfel, pentru tensiuni V_{DS} mai mari L_{eff} se micșorează și conduce la fenomenul de modulație a lungimii canalului.
- Lățimea canalului (W) – este definită de lățimea regiunilor de difuzie ale drenei și sursei.

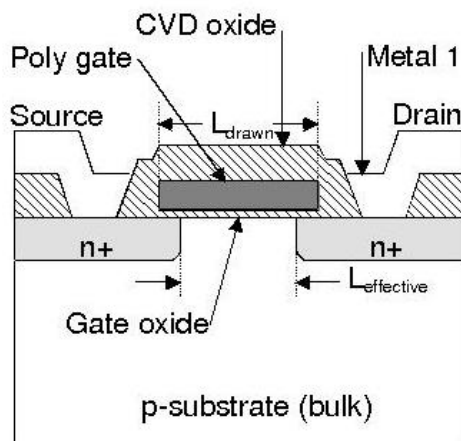
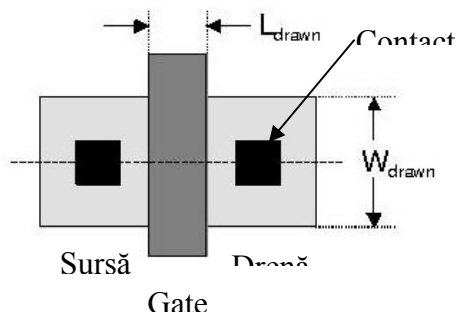
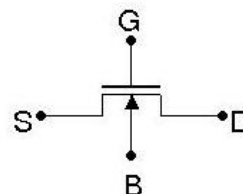
Physical structure**Layout representation****Schematic representation**

Figura 1. Tranzistorul MOS sub diverse forme de reprezentare

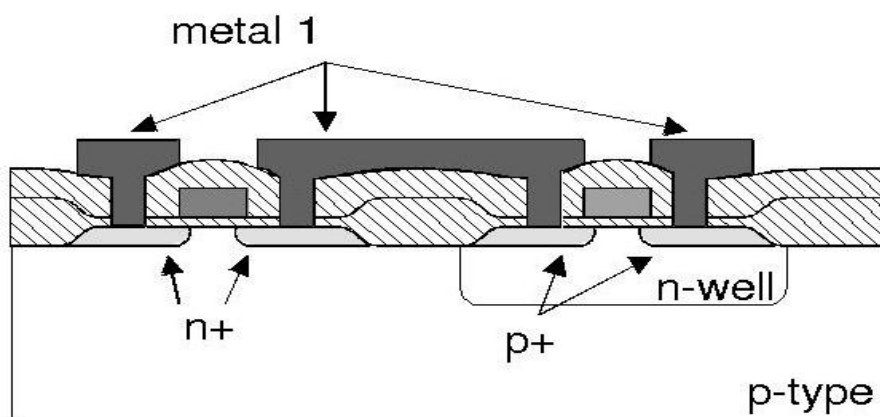


Figura 2. Structura fizică a tranzistorului nMOS (stanga) și pMOS (dreapta)

În figura 2 este prezentată structura fizică atât pentru tranzistorul nMOS cât și pentru pMOS în cadrul tehnologiei CMOS. În cazul tranzistorului nMOS, așa cum s-a menționat mai sus, substratul (bulk) este de tip p iar regiunile de difuzie ale sursei și drenei sunt de tip $n+$. Pentru tranzistorele MOS cu canal p substratul este de tip n și constă în regiunea notată “n-well” în figura 2, în timp ce regiunile de difuzie ale sursei și drenei sunt de tip $p+$.

Din punct de vedere schematic în literatură tranzistoarele MOS sunt reprezentate prin diverse simboluri. În figura 3 sunt prezentate simbolurile uzuale atât pentru tranzistorul nMOS cât și pentru pMOS.

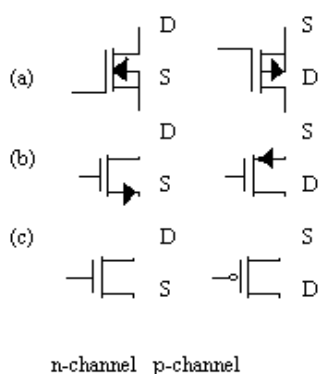


Figura 3. Simboluri schematice pentru tranzistoarele MOS

În figura 3(a) simbolurile tranzistoarelor MOS conțin și terminalul de substrat (bulk) aici fiind conectat direct la terminalul sursă (S). În figura 3(b) și 3(c) sunt variantele de simboluri pentru nMOS și pMOS în care nu mai este reprezentat și terminalul de substrat. Lipsa terminalului de substrat în cadrul simbolurilor este motivată de faptul că aceste terminale se conectează, în funcție de tipul tranzistorului, fie la cel mai mic potențial din circuit (GND sau VSS), fie la cel mai mare potențial (de ex. sursa de alimentare VDD) conform următoarei reguli:

Regulă de conectare a terminalelor de substrat: Toate terminalele de substrat ale tranzistoarelor nMOS se conectează la cel mai mic potențial din circuit (GND sau VSS); toate terminalele de substrat ale tranzistoarelor pMOS se conectează la cel mai mare potențial din circuit (VDD).

Conectarea terminalelor de substrat conform regulii de mai sus asigură ca joncțiunile p-n dintre drenă-substrat și, respectiv, sursă-substrat să fie întotdeauna polarizate invers și, astfel, să nu existe un curent direct de la aceste regiuni către substrat.

II. Modelarea și descrierea SPICE a tranzistoarelor MOS

Forma generală de descriere:

```
M<nume> <nod_drena> <nod_poarta> <nod_sursa> <nod_substrat>
+ <nume_model> L=<valoare> W=<valoare>
+ [AD=<valoare>] [AS=<valoare>] [PD=<valoare>] [PS=<valoare>]
+ [M=<valoare>]
```

Exemple:

```
MN1 7 3 2 0 CMOSN5 L=0.5U W=4U
M5 12 4 5 9 PMOD L=1U W=10U AD=15P AS=15P PD=13U PS=13U
M10 5 6 3 0 NMOD L=0.35U W=2U M=5
```

Definirea modelelor

.MODEL <nume_model> NMOS (parametru_model=<valoare> ...)

.MODEL <nume_model> PMOS (parametru_model=<valoare> ...)

În forma generală de descriere argumentele au următoarele semnificații:

L – lungimea canalului

W – lățimea canalului

AD, AS – aria regiunii de difuzie a drenei, respective sursei (valoare implicită=0).

PD, PS – perimetrul regiunii de difuzie a drenei, respective sursei (valoare implicită=0).

M – multiplicator de tranzistoare în paralel (valoare implicită=1).

Tipuri de modele și parametrii de model ai tranzistoarelor MOS

În comparație cu alte dispozitive și tehnologii, tehnologia tranzistoarelor MOS a cunoscut o dezvoltare continuă de la apariția sa și până în prezent. Astfel, tranzistoarele cu efect de câmp TECMOS au evoluat de la tranzistorul MOS cu canal p (pMOS) dezvoltat în anii '60, urmat apoi în anii '70 de tranzistorul MOS tip n (nMOS) și, începând cu anii '80 și '90, de circuite CMOS. Tehnologia CMOS combină ambele tipuri de tranzistoare (nMOS și pMOS) într-un mod care reduce semnificativ puterea disipată. Primul model de tranzistor MOS implementat în cadrul simulatoarelor de circuit este bazat pe ecuațiile modelului Shichman-Hodges (publicat în 1968). Fiind un model simplu, acesta a fost urmat de alte modele care iau în considerație efectele suplimentare datorate evoluției tehnologiei. Astfel, în paralel cu trecerea de la tehnologii CMOS de peste $1\mu\text{m}$ la tehnologii CMOS submicronice ($0.8\mu\text{m}$ – $0.5\mu\text{m}$), apoi puternic submicronice ($0.35\mu\text{m}$ – $0.18\mu\text{m}$) și, mai recent, la tehnologii ultrasubmicronice ($0.13\mu\text{m}$ – 65nm), s-au dezvoltat numeroase modele, din ce în ce mai complexe, capabile să descrie fenomenele de canal scurt din cadrul tranzistoarelor. În Fig. 4 sunt prezentate, la nivelul anului 1999, istoricul și tendința rezoluției tehnologiei CMOS (stânga) precum și evoluția performanțelor în comparație cu evoluția tehnologiei bipolare.

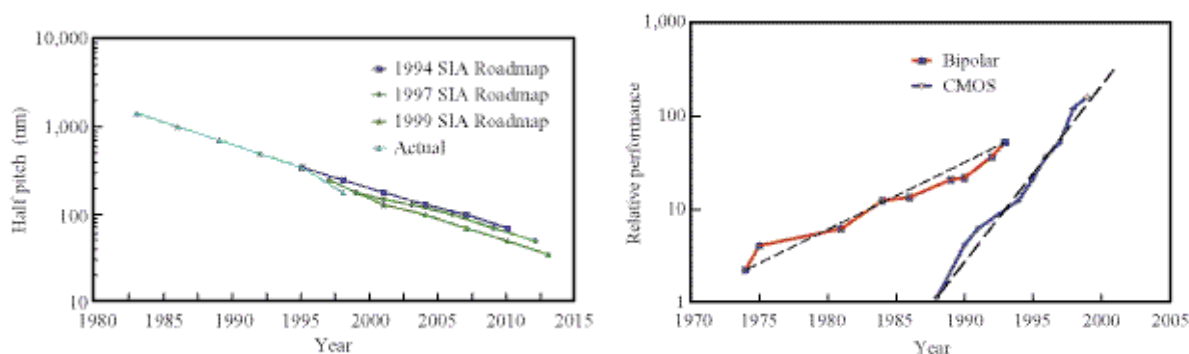


Figura 4. Istoric și tendințe în dezvoltarea tehnologiei CMOS. Stânga – evoluția rezoluției tehnologiei CMOS. Dreapta – evoluția performanțelor comparativ cu tehnologia bipolară.

Tipuri de modele TECMOS în PSpice

Pe măsura apariției modelelor tranzistoarelor MOS ele au fost încorporate în cadrul noilor versiuni ale simulatoarelor de circuit. Astfel, în cadrul simulatorului PSpice ver. 9.2 sunt implementate 7 versiuni (nivele) de modele ale tranzistoarelor MOS. Fiecare tip de model este specificat în cadrul comenzii .MODEL prin intermediul parametrului de model LEVEL, după cum urmează:

LEVEL=1	Modelul Shichman-Hodges
LEVEL=2	Model analitic bazat pe parametrii geometrici ai tranzistorului
LEVEL=3	Model semi-empiric pentru efectele de canal scurt
LEVEL=4	Model BSIM1 ¹ (Berkeley Short-channel IGFET Model)
LEVEL=5	Model EKV ² ver. 2.6
LEVEL=6	Model BSIM3 ver.2.0
LEVEL=7	Model BSIM3 ver.3.1

Modelul BSIM3 este un model compact bazat pe fizica structurii MOS, precis, scalabil, robust și predictiv. BSIM3 versiunea 3 (abreviat uzual ca BSIM3v3) a fost stabilit de SEMATECH ca standard în industrie și este, din 1997, larg utilizat de majoritatea companiilor de semiconductoare și de proiectare circuite integrate CMOS.

Pentru mai multe detalii privind modelarea tranzistoarelor MOS în PSpice se poate consulta manualul online al PSpice, care poate fi accesat din directorul unde este instalat programul (Start->Programs->OrCad Family Release9.2 -> Online Manual -> PSpice Reference Guide).

Observație – nivelele de modele MOS prezentate mai sus sunt valabile doar pentru simulatorul PSpice. Alte simulatoare de circuit tip SPICE au alte valori pentru nivelele de modele MOS. De exemplu, simulatorul HSPICE are implementate mai multe versiuni de modele TECMOS decât PSpice. În HSPICE modelul BSIM3 ver.2 este specificat prin parametrul LEVEL=47, BSIM3v3 prin nivelele 49 și 53, BSIM4 prin LEVEL=54 iar modelul EKV prin LEVEL=55.. În general, pentru fiecare simulator trebuie consultat manualul de referință cu privire la modelele de dispozitive acceptate.

Ecuațiile modelului MOS LEVEL 1 (Shichman-Hodges)

În modelul MOS LEVEL 1 nu sunt luate în considerație fenomenele de degradare a mobilității purtătorilor și efectul de saturație a vitezei acestora, fenomene specifice tranzistoarelor cu canal scurt. Chiar dacă modelul Shichman-Hodges este implementat în simulatoarele de circuit, datorită limitărilor și simplității sale, acesta nu este folosit în practică pentru simularea circuitelor

¹ BSIM – modele dezvoltate la Universitatea Berkeley, California. <http://www-device.eecs.berkeley.edu/~bsim3/>

² EKV – model dezvoltat la EPF Laussane de Enz, Krummenacher și Vittoz - <http://legwww.epfl.ch/ekv/index.html>

CMOS actuale. În schimb, ecuațiile modelului pot fi utilizate pentru considerații teoretice sau evaluarea aproximativă a caracteristicilor și parametrilor circuitelor CMOS simple.

Ecuațiile modelului Shichman-Hodges (SPICE level 1) pentru curentul I_D sunt următoarele:

$$I_D = \begin{cases} 0 & V_{GS} \leq V_T, \quad V_{DS} > 0 & \text{blocat} \\ K \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} (1 + \lambda V_{DS}); & V_{GS} > V_T \text{ și } 0 < V_{DS} < V_{GS} - V_T & \text{regiunea liniara} \\ K \frac{W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}); & V_{GS} > V_T \text{ și } V_{DS} > V_{GS} - V_T & \text{regiunea de saturatie} \end{cases}$$

unde V_T reprezintă tensiunea de prag și are expresia:

$$V_T = V_{TO} + \gamma (\sqrt{\phi - V_{BS}} - \sqrt{\phi})$$

iar K reprezintă coeficientul transconductanței. $K = \mu C_{ox}$, unde μ – mobilitatea purtătorilor iar C_{ox} – capacitatea specifică a stratului de oxid. $C_{ox} = \varepsilon / t_{ox}$; ε – permitivitatea stratului de oxid. t_{ox} – grosimea stratului de oxid.

Semnificația parametrilor din ecuațiile de mai sus și parametrii de model SPICE corespunzători sunt prezentați în tabelul următor:

Tabelul 1 – Lista parametrilor din modelul SPICE LEVEL1

Parametru	Semnificație	Parametru de model SPICE	Unitate de măsură	Valoare implicită
K	Coeficient al transconductanței	KP	A/V ²	2E-5
V_{TO}	Tensiunea de prag la $V_{BS} = 0$	VTO	V	0
γ	Parametru de prag al substratului	GAMMA	V ^{1/2}	
ϕ	Potențialul de suprafață	PHI	V	0.6
λ	Coeficient de modulație a lungimii canalului cu V_{DS}	LAMBDA	V ⁻¹	0
μ	Mobilitatea la suprafață	UO	cm ² /V·s	600
t_{ox}	Grosimea stratului de oxid	TOX	m	

În figura 5 sunt prezentate caracteristicile de ieșire ale tranzistorului MOS, I_D în funcție de V_{DS} pentru diverse valori ale V_{GS} . Se remarcă cele două regiuni: *regiunea liniară* (triadă) și *regiunea de saturație*. Curba care separă cele două regiuni este dată de relația $V_{DS} = V_{GS} - V_T$. De asemenea, în regiunea de saturație se remarcă faptul că I_D variază pătratic cu V_{GS} .

În cazul tranzistoarelor submicronice și ultra-submicronice, datorită câmpului electric intens din canal ($E = V_{DS}/L_{eff}$) apare o scădere a mobilității purtătorilor ceea ce conduce la fenomenul de saturație a vitezei acestora ($v_n = \mu E$), așa cum este ilustrat în figura 6. Ca o consecință, în saturație curentul de drenă nu mai variază pătratic cu tensiunea V_{GS} ci rezultă o dependență aproape liniară, așa cum se poate observa în figura 7.

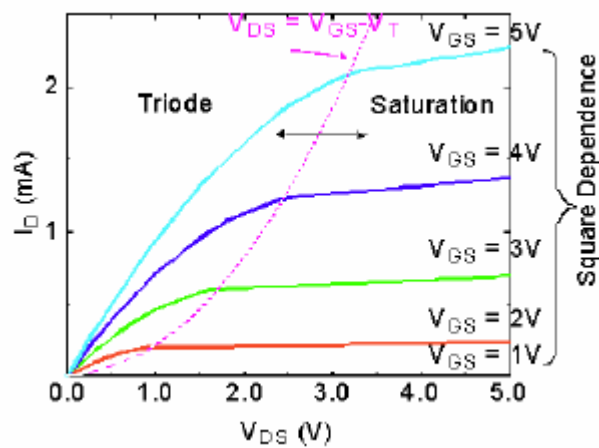


Figura 5. Caracteristicile de ieșire ale tranzistorului MOS și regiunile de funcționare pentru cazul tranzistoarelor cu canal lung.

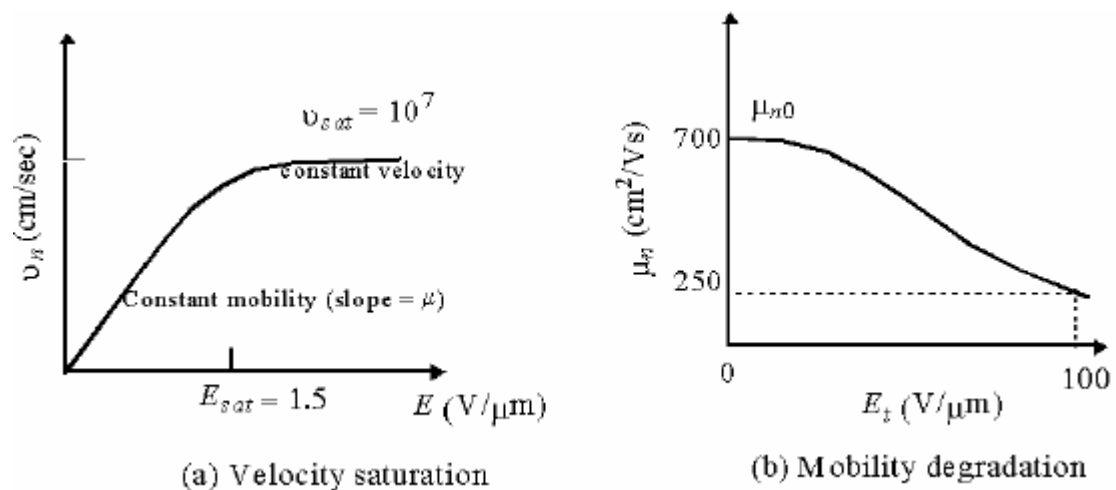


Figura 6. Saturația vitezei purtătorilor în cazul tranzistoarelor submicronice (canal scurt)

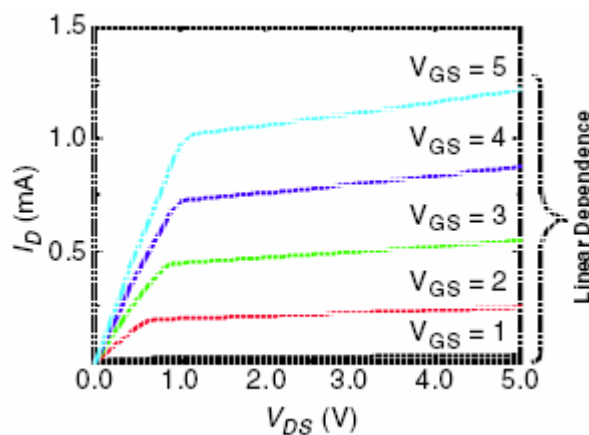


Figura 7. Curentul de drenă în funcție de V_{DS} în cazul tranzistoarelor cu canal scurt. În saturație curentul depinde aproape liniar de tensiunea V_{GS} .

III. Structuri logice CMOS

În cazul tehnologiei CMOS funcția tranzistoarelor este de *comutator*. Funcțiile logice de bază sunt obținute prin conectarea acestor *comutatoare*:

- în paralel pentru a obține funcția logică OR
- în serie pentru a obține funcția logică AND.

Observație: Pentru cele mai multe familii logice funcțiile primare obținute în tehnologia CMOS sunt inversate: NAND, NOR, inversorul simplu.

În figura 8 sunt prezentate structurile generale CMOS pentru realizarea funcției NAND cu n intrări, respectiv pentru realizarea funcției NOR cu n intrări. În cazul structurii pentru realizarea funcției NAND, tranzistoarele nMOS sunt conectate în serie iar tranzistoarele pMOS sunt conectate în paralel. În cazul structurii NOR, tranzistoarele nMOS sunt conectate în paralel iar cele pMOS sunt conectate în serie. Cea mai simplă poartă logică este inversorul CMOS a cărei schemă este prezentată în Fig. 9. În tehnologie CMOS pot fi implementate și funcții combinate de tip AOI (AND-OR-INV). Structura generală a circuitului CMOS pentru implementarea unei funcții logice simple sau combinate este prezentată în Fig. 10.

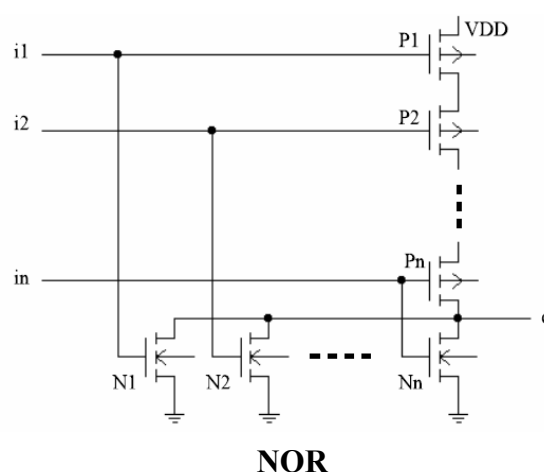
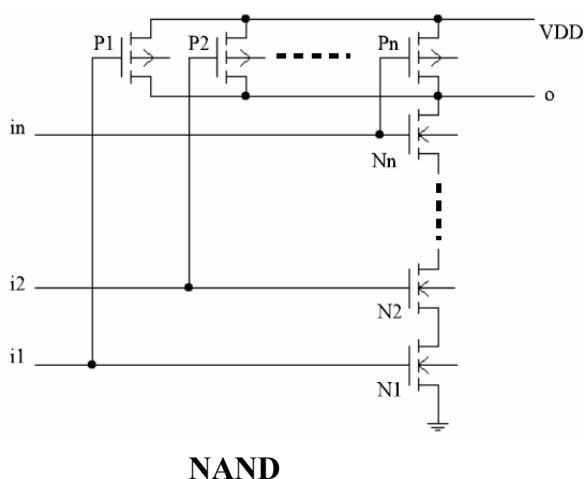


Figura 8. Schemele structurilor logice pentru implementarea funcțiilor NAND și NOR cu n intrări.

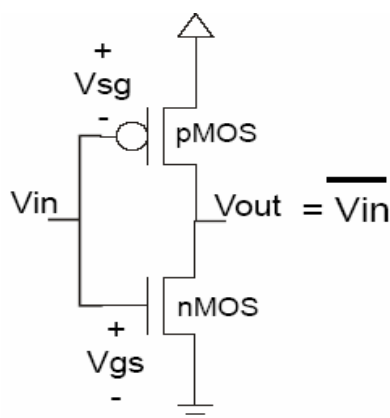


Figura 9. Inversorul CMOS

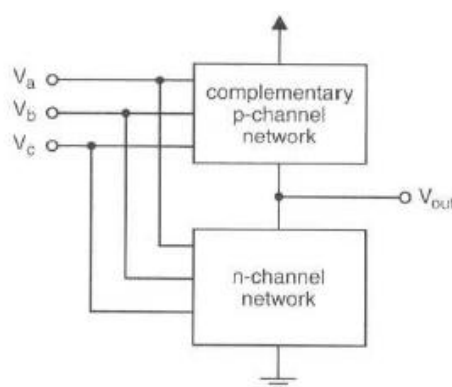


Figura 10. Structura generală pentru implementarea funcțiilor logice CMOS

Exemplu: implementarea CMOS a funcției $F = \overline{a(b+c)}$.

În figura 11 este exemplificat modul posibil de implementare a acestei funcții: cu porți logice în cascadă, respectiv în tehnologie CMOS.

În primul caz, implementarea funcției necesită 10 tranzistoare MOS: 4+2=6 tranzistoare pentru poarta OR și încă 4 tranzistoare pentru poarta NAND (poarta OR se obține dintr-o poartă NOR în serie cu un inversor; poarta AND în serie cu inversorul s-a redus la o poartă NAND).

În al doilea caz, implementarea funcției în tehnologie CMOS necesită doar 6 tranzistoare.

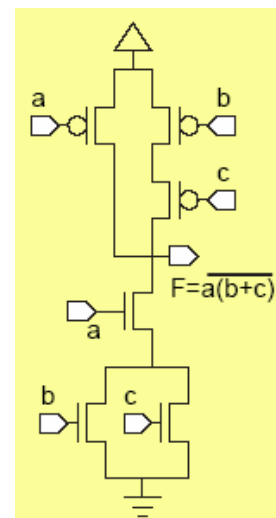
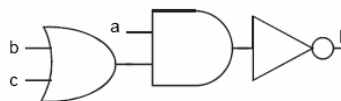


Figura 11. Implementarea funcției logice $F = \overline{a(b+c)}$ cu porți în cascadă și în tehnologie CMOS

IV. Dimensionarea porților logice CMOS

În tehnologia CMOS, în regim permanent, de exemplu în cazul unui inversor, unul dintre tranzistoare este blocat iar celălalt este în conducție în regim liniar, fiind practic echivalent cu o rezistență de valoare mică. Ca urmare, capacitatea ieșirii de a furniza sau prelua curenți este dependentă numai de tranzistoarele care realizează nivelul logic respectiv, neexistând o competiție între tranzistoarele *pull-up* (pMOS) și *pull-down* (nMOS) corespunzătoare. În aceste condiții se pot proiecta dispozitive cu *symetric output drive*, adică capabilitate simetrică de furnizare sau preluare de curenți către sau de la capacitatea de sarcină. În cazul unui inversor CMOS realizarea *symetric output drive* este impusă prin dimensionarea corespunzătoare a tranzistoarelor complementare.

În general dimensiunile minime ale canalului tranzistoarelor sunt impuse de rezoluția tehnologiei. De exemplu, dacă tehnologia CMOS considerată este de $0.25\mu\text{m}$, atunci toate tranzistoarele din porțile logice CMOS au lungimea minimă a canalului $L=0.25\mu\text{m}$.

În consecință, în cadrul procesului de dimensionare a tranzistoarelor din porțile logice rămâne de stabilit valorile lățimii canalului atât pentru tranzistoarele nMOS (W_n) cât și pMOS (W_p).

Dimensionarea lățimii tranzistoarelor, pe baza celor menționate mai sus, se determină din condiția ca grupul de tranzistoare nMOS (prin care circulă curentul de descărcare a capacității de sarcină la masă), respectiv grupul de tranzistoare pMOS (prin care circula curentul de încărcare a capacității de sarcină de la VDD) să aibă aceeași capabilitate de a conduce curentul. Deoarece tranzistoarele prin care circulă curentul de încărcare, respectiv descărcare, lucrează în principal în regim ohmic (liniar), condiția de mai sus presupune, în fapt, ca rezistențele dinamice a celor două grupuri de tranzistoare nMOS și pMOS să fie egale.

Dimensionarea inversorului CMOS

În cazul inversoarelor, se impune condiția:

$$R_n = R_p$$

Expresiile rezistențelor dinamice se determină prin evaluarea conductanței canalului tranzistorului MOS în regiunea de funcționare liniară. Pentru aceasta se consideră expresia curentului I_D din regiunea liniară din cadrul modelului Shichman-Hodges și, pentru simplitatea deducerii, în această regiune se neglijează termenul $\lambda \cdot V_{DS}$, astfel că:

$$I_D = K \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$$

Conductanța canalului rezultă:

$$G = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_{GS}=0, V_{GS}=V_{DD}} = K \frac{W}{L} \left[\left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) - \frac{V_{DS}}{2} \right]_{V_{GS}=0, V_{GS}=V_{DD}} = K \frac{W}{L} (V_{DD} - V_T)$$

Valoarea rezistențelor echivalente a canalului pentru un tranzistoarele nMOS și pMOS sunt:

$$R_n = \frac{L_n}{K_n W_n (V_{DD} - V_{Tn})}; \quad R_p = \frac{L_p}{K_p W_p (V_{DD} - V_{Tp})}$$

Din condiția $R_n=R_p$ de realizare a *symetric output drive* rezultă:

$$\frac{L_n}{K_n W_n (V_{DD} - V_{Tn})} = \frac{L_p}{K_p W_p (V_{DD} - V_{Tp})}$$

Ținând cont că tensiunile de prag V_{Tn} și V_{Tp} sunt relative egale și $L_n=L_p$, rezultă relația de dimensionare care face legătura între parametrii de proiectare și parametrii de proces:

$$\frac{W_p}{W_n} = \frac{K_n}{K_p}$$

Coeficientul transconductanței pentru tranzistoarele cu canal n , K_n , este mai mare decât coeficientul transconductanței pentru tranzistoarele cu canal p , K_p , de 2-3 ori datorită mobilității mai mari a electronilor (canal n) decât a gurilor (canal p).

În concluzie, în cazul inversoarelor CMOS, lățimea tranzistorului cu canal p este de 2–3 ori mai mare decât a celui cu canal n .

Dimensionarea porților logice NAND și NOR

În cazul portilor logice de tip NAND cu n intrari, tranzistoarele nMOS sunt conectate in serie in timp ce tranzistoarele pMOS sunt conectate in paralel. Conditia de proiectare se aplica in cazul cel mai defavorabil, si anume cand numai un singur tranzistor pMOS din structura paralel este in conductie. Tinand cont ca descarcarea capacitatii de sarcina se face prin grupul de tranzistoare nMOS conectate in serie si presupund ca toate aceste tranzistoare functioneaza in aceleasi conditii, atunci pentru dimenssionarea tranzistoarelor dintr-o poarta logica de tip NAND se pleaca de la conditia:

$$n \cdot R_n = R_p$$

In cazul portilor logice de tip NOR se aplica acelasi rationament ca si la portile de tip NAND, cu observatia ca tranzistoarele pMOS sunt conectat in serie iar tranzistoarele nMOS sunt conectate in paralel. Ca urmare, pentru dimensionare se pleaca de la conditia:

$$R_n = n \cdot R_p$$

Plecând de la condițiile de proiectare de mai sus, pentru fiecare tip de poartă logică se ajunge la o relație între latimile tranzistoarelor, W_n si W_p . Din demonstrația anterioară in cazul

inversorului s-a dedus că $W_p/W_n=2$. Deoarece exista o singura relatie si sunt doua necunoscute, se adopta valoarea uneia dintre acestea, si anume, se adopta fie valoarea pentru W_n , fie pentru W_p , in functie care dintre acestea este mai mica. De exemplu, la inversor se adopta valoarea pentru W_n deoarece din conditia $W_p/W_n=2$ rezulta ca W_n este mai mica decat W_p .

În general, lățimile W ale tranzistoarelor MOS sunt mai mari decat lungimea L a canalului. În practică, valoarea minima a lățimii W a canalului unui tranzistor MOS este in functie de tehnologie adoptata (L) si este aproximativ data de relatia:

$$W_{min} = (1.2 \dots 1.4)L$$

Dimensionarea porților logice cu prag de comutare simetric

O altă posibilitate de dimensionare a porților logice CMOS este aceea în care se urmărește realizarea pragului de comutare a porții (*switching threshold*) la jumătatea gamei dinamice.

Prin definiție, pragul de comutare al unei porți logice reprezintă nivelul static de la intrare la care ieșirea se află la jumătatea tranziției.

În consecință, în cadrul acestei metode de dimensionare a tranzistoarelor dintr-o poartă logică, se urmărește stabilirea unui raport optim între dimensiunile tranzistoarelor pMOS și nMOS astfel ca, atunci când intrarea este la jumătatea tranziției, ieșirea să fie situată la același nivel, așa cum se observă în figura 12.

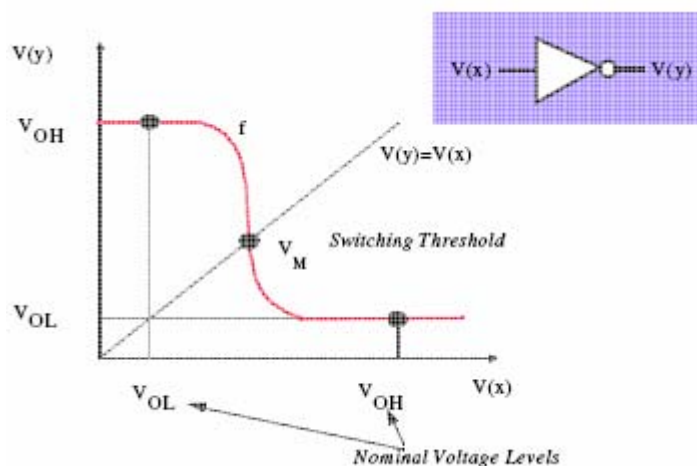


Figura 12. Caracteristica statică a inversorului CMOS cu prag de comutare simetric.

Din punct de vedere practic, pentru determinarea raportului între dimensiunile tranzistoarelor pMOS și nMOS din inversorul CMOS pentru prag de comutare simetric se procedează în felul următor:

- se adoptă o valoare pentru lățimea tranzistorului nMOS, W_n .
- se exprimă lățimea W_p în funcție de W_n sub forma: $W_p=k \cdot W_n$, k -parametru.
- se aplică la intrare o tensiune constantă $V_{in}=V_{DD}/2$.
- se efectuează o analiză DC în funcție de parametrul k .
- de pe curba $V_{out}(k)$ se determină valoarea parametrului k la care $V_{out}=V_{DD}/2$.

Observație: În cazul porților cu mai multe intrări (NAND, NOR) apar mai multe condiții de dimensionare, corespunzătoare combinațiilor posibile la intrări. Din acest motiv nu se poate în fapt realiza *symetric output drive* perfect și nici prag de comutare simetric valabil simultan pentru toate intrările. Soluția este aceea de a se adopta un raport optim între dimensiunile tranzistoarelor pMOS și nMOS astfel încât să nu existe o variație foarte mare între timpii de propagare LH și HL.

V. Aplicații

Aplicația 1 – inversorul CMOS.

a) Să se editeze în PSpice un fișier de test pentru determinarea caracteristicii statice de transfer a unui inversor CMOS (Fig. 14) cu tranzistoare în tehnologia de 0.35μm în care raportul $W_p/W_n = k = 2.5$. Pentru tranzistoare se vor utiliza modelele din fișierul de modele precizat de către cadrul didactic. Inversorul CMOS va fi descris ca subcircuit, ordinea terminalelor fiind: IN VDD OUT. Tensiunea de alimentare se consideră $VDD=3.3V$ iar ca sarcină se va considera o capacitate $CL=0.1pF$

b) Efectuați o analiză DC în funcție de V_{in} și vizualizați caracteristica de transfer în cc. Determinați de pe caracteristică nivelele V_{IL} , V_{IH} și V_{IM} ;

V_{IL} – tensiunea V_{in} la care $V_{out}=0.9V_{DD}$

V_{IH} – tensiunea V_{in} la care $V_{out}=0.1V_{DD}$

V_{IM} – tensiunea V_{in} la care $V_{out}=0.5V_{DD}$

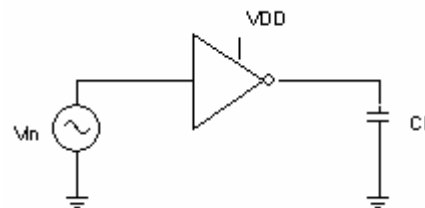


Figura 14 Circuit de test inversor CMOS

c) Determinați prin simulare valoarea parametrului k pentru care inversorul devine cu prag de comutare simetric.

d) Cu valoarea parametrului k determinată la pct. c) repetați analiza de la pct. b) . Vizualizați și curentul absorbit din sursa de alimentare; determinați valoarea maximă a acestui curent.

Aplicația 2 – proiectarea și analiza unei porți logice NAND sau NOR

a) Să se dimensioneze tranzistoarele nMOS și pMOS dintr-o poartă logică NAND sau NOR cu 3 intrări considerându-se tehnologia CMOS de 0.35μm. Se va considera raportul $K_n/K_p=2$. Pentru tranzistoarele nMOS sau pMOS având lățimea W mai mică se va adopta pentru aceasta o valoare la alegere din intervalul (1u ... 5u).

b) Să se editeze fișierul SPICE pentru determinarea caracteristicii statice de transfer a porții logice dimensionate la pct. a). Poarta logică se va edita ca subcircuit, ordinea terminalelor fiind IN1, IN2, IN3, VDD, OUT. În funcție de tipul porții alese se va utiliza unul din circuitele de test din figura 15.

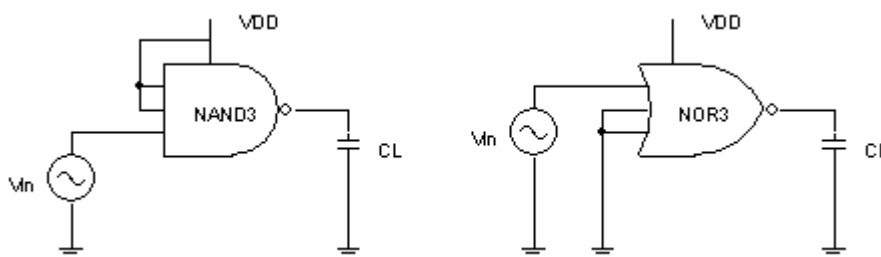


Figura 15. Circuite pentru simularea porților NAND și NOR

c) Efectuați o analiză DC în funcție de V_{in} și vizualizați caracteristica de transfer. Determinați mărimile V_{IL} , V_{IH} și V_{IM} .

d) Similar ca la inversorul CMOS determinați prin simulare valoarea raportului dintre dimensiunile tranzistoarelor pMOS și nMOS pentru ca poarta logică să aibă prag de comutare simetric.

Aplicația 3 – Implementare funcții logice în tehnologie CMOS

a) Să se deseneze schemele circuitelor CMOS pentru implementarea următoarelor funcții logice: $F1 = \overline{ab(c+d)}$ și $F2 = \overline{a(b+cd)}$