

Lucrarea de laborator nr. 4

Simularea și caracterizarea regimului dinamic al porților logice CMOS

Scopul lucrării: însușirea cunoștințelor privind regimul dinamic al porților logice CMOS, parametrii care influențează regimul dinamic, evaluarea și modelarea capacităților tranzistorului MOS, simularea și determinarea parametrilor dinamici ai inversorului CMOS (timpul de propagare, timpul de tranziție al formelor de undă, puterea disipată), efectuarea analizelor de performanță în PSpice și utilizarea funcțiilor țintă pentru determinarea dependenței parametrilor dinamici în funcție de capacitatea de sarcină, timpul de tranziție de la intrare, etc.

I. Modelarea capacităților tranzistorului MOS

Regimul dinamic al porților logice CMOS este influențat, pe de o parte, de *caracteristicile statice* $I_D = f(V_{GS}, V_{DS})$ ale tranzistoarelor MOS – prin care se asigură realizarea funcției logice corespunzătoare porții și, pe de altă parte, de *capacitățile parazite* intrinseci ale tranzistoarelor MOS precum și cele introduse de interconexiuni.

Înțelegerea naturii și comportării capacităților intrinseci ale tranzistorului MOS este esențială pentru proiectarea circuitelor integrate digitale de mare performanță. Capacitățile intrinseci dintr-un tranzistor MOS se împart în trei categorii:

- capacități datorate structurii MOS de bază;
- capacități datorate sarcinii din canalul tranzistorului;
- capacități datorate regiunilor de golire (*depletion regions*) ale jonțiunilor *p-n* polarizate invers dintre sursă-substrat și drenă-substrat.

În afară de capacitățile datorate structurii MOS de bază, toate celelalte capacități sunt neliniare și variază cu potențialul aplicat și cu regiunea de funcționare a tranzistorului.

a) Capacitățile datorate structurii MOS de bază

- C_{ox} – reprezintă capacitatea pe unitatea de suprafață a stratului de oxid dintre poartă (*gate*) și canal și este calculată cu expresia:

$$C_{ox} = \epsilon_{ox} / t_{ox}$$

unde ϵ_{ox} – permitivitatea oxidului de siliciu ($\epsilon_{ox} = 3.9 \cdot 8.854 \cdot 10^{-14}$ F/m) iar t_{ox} - grosimea stratului de oxid.

Capacitatea totală a stratului de oxid poartă denumire de capacitate de poartă (*gate capacitance*) C_G și poate fi descompusă în două elemente: o parte din C_G contribuie la sarcina din canal – va fi discutată la pct. b) – iar o altă parte este datorată structurii topologice a tranzistorului, și anume, suprapunerilor dintre poartă și regiunile de difuzie ale drenei și sursei.

- *Capacitățile de suprapunere poartă-sursă și poartă-drenă* (C_{GSO} , C_{GDO}).

$$C_{GSO} = C_{gso} \cdot W$$

$$C_{GDO} = C_{gdo} \cdot W$$

unde C_{gso} și C_{gdo} sunt capacitățile de suprapunere (*overlap*) pe unitatea de lățime a canalului. În figura 1 suprapunerea dintre poartă și sursă (drenă), datorată *difuziei laterale*, este notată cu x_d .

- *Capacitatea de suprapunere poartă-substrat* (C_{GBO}) – această capacitate este datorată suprapunerii dintre poartă și substrat (bulk) în zona părților laterale ale canalului (Figura 1-(a),(c)) și este calculată cu relația:

$$C_{GBO} = C_{gbo} \cdot L$$

unde C_{gbo} reprezintă capacitatea de suprapunere poartă-substrat pe unitatea de lungime a canalului.

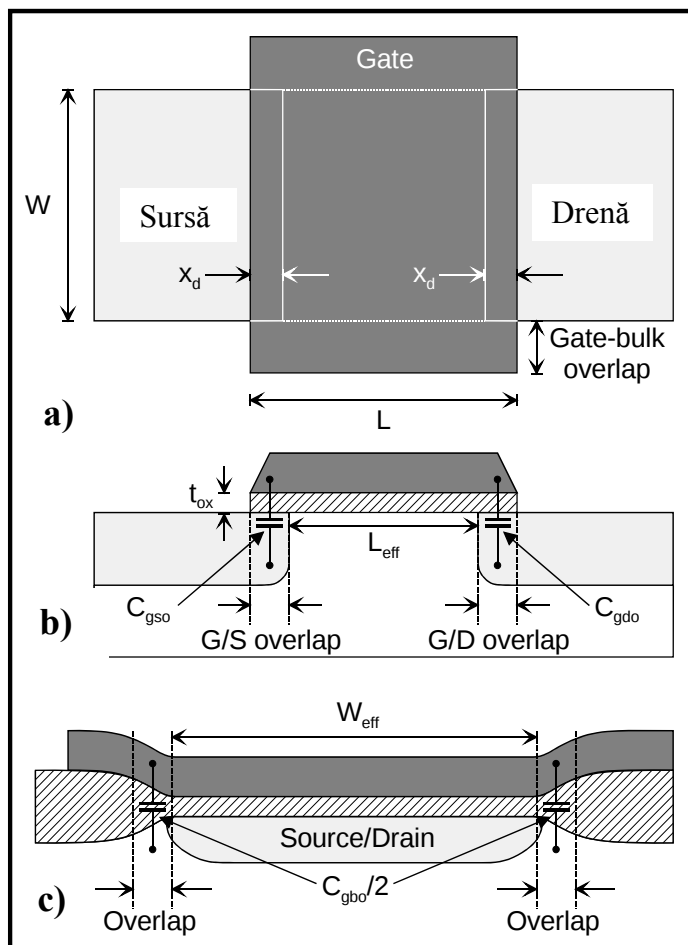


Figura 1. Capacitățile de suprapunere ale tranzistorului MOS. a) – vedere de sus a tranzistorului MOS; b) – vedere în secțiune transversală; c) – vedere în secțiune longitudinală

b) Capacitățile datorate sarcinii din canal

Capacitatea poartă-canal, C_{GC} , datorată sarcinii din canal, are trei componente care depind de regiunea de funcționare a tranzistorului (Figura 2) și de tensiunile aplicate la terminale:

- capacitatea poartă-sursă C_{GS}
- capacitatea poartă-drenă C_{GD}
- capacitatea poartă-substrat C_{GB}

Așa cum se observă în figura 2, în regiunea de blocare nu există purtători liberi în canal și, în consecință, toată capacitatea C_{GC} apare între poartă și substrat, deci $C_{GC}=C_{GB}=C_{ox}WL$.

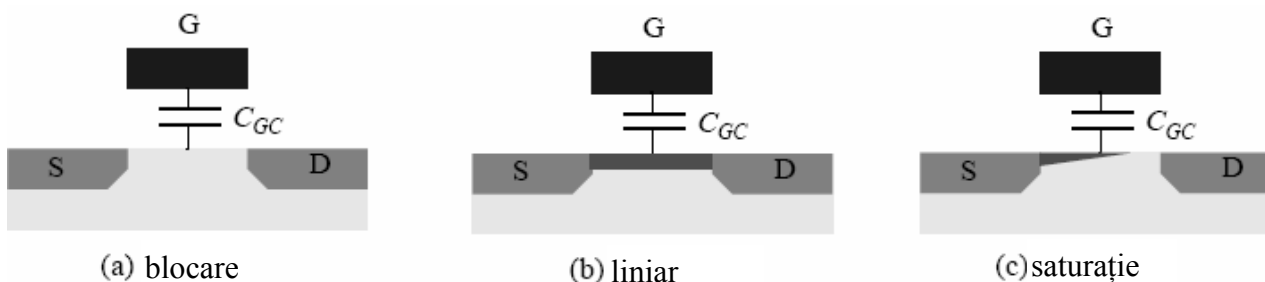


Figura 2. Capacitatea poartă-canal în cele trei regiuni de funcționare a tranzistorului MOS

În *regiunea liniară*, datorită inversiei electronice și existenței canalului pe toată lungimea dintre drenă și sursă, poarta este ecranată față de substrat ($C_{GCB}=0$) iar toată capacitatea C_{GC} este distribuită în mod egal între drenă și sursă $C_{GC}=C_{GCD}+C_{GCS}$, unde $C_{GCD}=C_{GCS}=(1/2)C_{ox}WL$.

În *regiunea de saturație*, datorită fenomenului de „ciupire” a canalului (Fig. 2c), sarcina din canal este distribuită de la punctul de „ciupire” până la sursă și, în consecință, capacitatea poartă-drenă C_{GCD} devine 0 iar toată capacitatea C_{GC} este între poartă și sursă și este aproximată cu valoarea: $C_{GC} = C_{GCS} = (2/3)C_{ox}WL$.

Din cele prezentate mai sus, **capacitățile totale** poartă-sursă C_{GS} , poartă-drenă C_{GD} și poartă-substrat C_{GB} reprezintă suma dintre capacitățile datorate sarcinii din canal și capacitățile de suprapunere:

$$\begin{aligned} C_{GS} &= C_{GCS} + C_{GSO} \\ C_{GD} &= C_{GCD} + C_{GDO} \\ C_{GB} &= C_{GCB} + C_{GBO} \end{aligned}$$

În tabelul 1 sunt prezentate relațiile de calcul a capacităților asociate porții tranzistorului MOS (atât capacitățile de suprapunere cât și cele datorate sarcinii din canal). În figura 3 sunt prezentate grafic dependențele capacităților totale C_{GS} , C_{GD} și C_{GB} în funcție de regiunile de funcționare ale tranzistorului MOS.

Tabelul 1. Capacitățile asociate porții tranzistorului MOS pentru cele trei regiuni de funcționare

Regiunea de funcționare	C_{GCB}	C_{GCS}	C_{GCD}	C_{GC}	C_G (capacitatea totală a porții)
Blocare	$C_{ox}WL$	0	0	$C_{ox}WL$	$C_{ox}WL + C_{gso}W + C_{gdo}W$
Liniară	0	$(1/2)C_{ox}WL$	$(1/2)C_{ox}WL$	$C_{ox}WL$	$C_{ox}WL + C_{gso}W + C_{gdo}W$
Saturație	0	$(2/3)C_{ox}WL$	0	$(2/3)C_{ox}WL$	$(2/3)C_{ox}WL + C_{gso}W + C_{gdo}W$

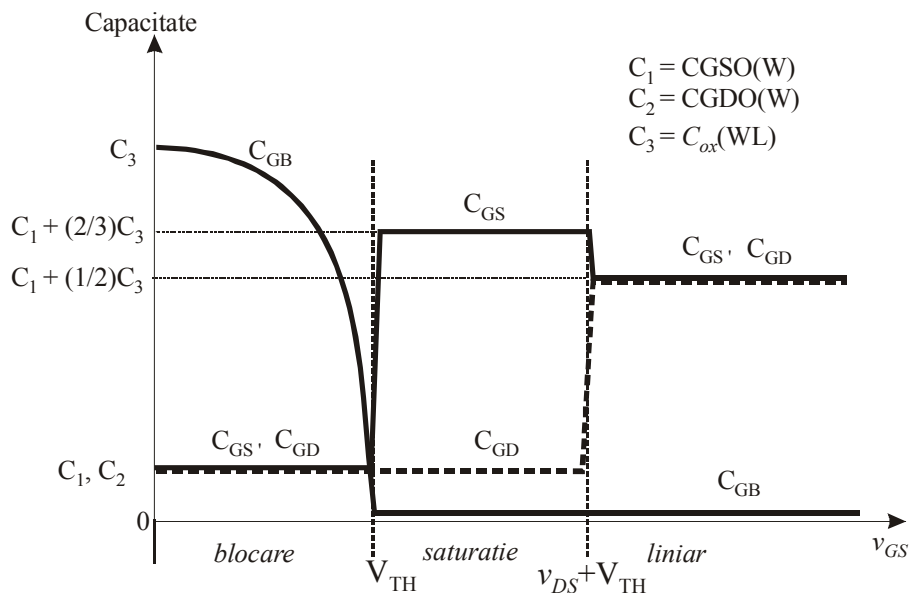


Figura 3. Dependența capacităților C_{GS} , C_{GD} și C_{GB} ale tranzistorului MOS în funcție de regiunile de funcționare

c) Capacitățile joncțiunilor sursă-substrat și drenă-substrat

Aceste capacități, numite și *capacități de difuzie*, sunt datorate regiunilor de golire (*depletion region*) ale joncțiunilor *p-n* polarizate invers dintre regiunile de difuzie ale sursei, respectiv drenei, și substrat (*bulk*).

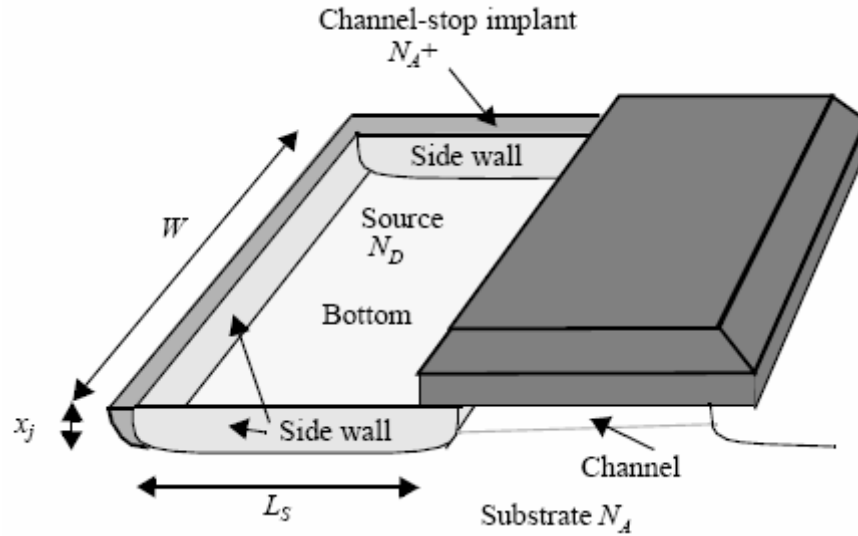


Figura 4. Vedere detaliată a regiunii de difuzie a sursei. Joncțiunile din partea de la bază (bottom) și pereții laterali (side wall) contribuie la capacitatea totală de difuzie sursă-substrat.

Din reprezentarea detaliată din figura 4 a regiunii de difuzie a sursei se poate observa că joncțiunea sursă-substrat și, corespunzător, capacitatea sursă-substrat C_{SB} , are două componente:

- *joncțiunea plată* de la baza regiunii de difuzie (*bottom-plate junction*). Capacitatea asociată acestei joncțiuni, notată $C_{j-bottom}$, este calculată cu relația:

$$C_{j-bottom} = C_j \cdot WL_S = C_j \cdot AS$$

unde C_j – capacitatea pe unitatea de arie a joncțiunii plate iar L_S este lungimea regiunii de difuzie a sursei. Termenul WL_S reprezintă aria regiunii de difuzie a sursei – definit prin parametru AS în programul SPICE. Similar, aria regiunii drenei este definită în SPICE prin parametru AD.

- *joncțiunea laterală* (*side-well junction*) corespunzătoare contactului pereților laterali ai regiunii de difuzie cu substratul. Capacitatea asociată acestei joncțiuni, notată C_{j-sw} , este calculată cu relația:

$$C_{j-sw} = C_{jsw} \cdot (W + 2L_S) = C_{jsw} \cdot PS$$

unde C_{jsw} – capacitatea pe unitatea de lungime a joncțiunii laterale. Termenul $(W + 2L_S)$ reprezintă perimetrul regiunii de difuzie a sursei – definit prin parametrul PS în programul SPICE. Similar, perimetrul regiunii drenei este definit în SPICE prin parametrul PD.

Observație: perimetrul sursei (drenei) este dat de suma doar a trei laturi deoarece a patra latură corespunde canalului de conducție al tranzistorului.

În concluzie, capacitatea totală de difuzie a joncțiunii sursă-substrat (drenă-substrat) este dată de:

$$C_{diff} = C_{j-bottom} + C_{j-sw} = \begin{cases} C_j \cdot AS + C_{jsw} \cdot PS & \text{pentru sursă – substrat} \\ C_j \cdot AD + C_{jsw} \cdot PD & \text{pentru drenă – substrat} \end{cases}$$

Exemplu: Să se determine capacitățile tranzistorului MOS din figura 5 știind că $t_{ox} = 8 \cdot 10^{-9}$, $C_{gdo} = C_{gso} = 0.296 \cdot 10^{-9}$, $C_j = 1.06 \cdot 10^{-3}$ și $C_{jsw} = 0.47 \cdot 10^{-9}$.

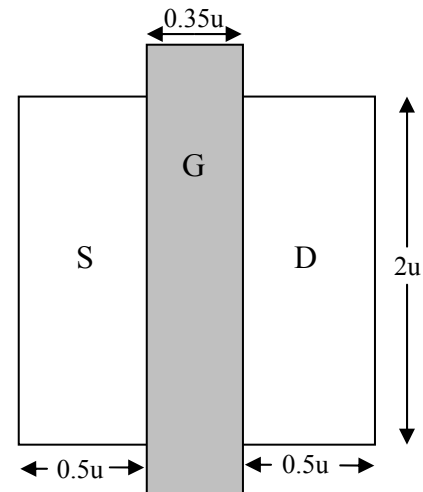


Figura 5. Layout tranzistor MOS

Rezolvare: $C_{ox} = \varepsilon_{ox} / t_{ox} = (3.9 \cdot 8.854 \cdot 10^{-14}) / (8 \cdot 10^{-14}) = 0.4316 \cdot 10^{-4} \text{ (F/m}^2\text{)} = 4.316 \text{ (fF/}\mu\text{m}^2\text{)}.$

În regiunea liniară de funcționare:

$$C_{GS} = C_{GCS} + C_{GSO} = (1/2)C_{ox}WL + C_{gso}W = (1/2) \cdot 4.316 \cdot 2 \cdot 0.35 \text{ fF} + 0.296 \cdot 10^{-9} \cdot 2 \cdot 10^{-6} = 1.51 \text{ fF} + 0.59 \text{ fF} = 2.10 \text{ fF}$$

$C_{GD} = C_{GCD} + C_{GDO} = 1.51 \text{ fF} + 0.59 \text{ fF} = 2.10 \text{ fF}$ (egală cu C_{GS} datorită dimensiunilor identice și distribuției uniforme a sarcinii în canal).

$$C_G = C_{GS} + C_{GD} = 2.10 \text{ fF} + 2.10 \text{ fF} = \mathbf{4.20 \text{ fF}}$$

În regiunea de saturație:

$$C_{GS} = C_{GCS} + C_{GSO} = (2/3)C_{ox}WL + C_{gso}W = (2/3) \cdot 4.316 \cdot 2 \cdot 0.35 \text{ fF} + 0.296 \cdot 10^{-9} \cdot 2 \cdot 10^{-6} = 2.01 \text{ fF} + 0.59 \text{ fF} = 2.60 \text{ fF}$$

$$C_{GD} = C_{GCD} + C_{GDO} = 0 \text{ fF} + 0.59 \text{ fF} = 0.59 \text{ fF}$$

$$C_G = C_{GS} + C_{GD} = 2.60 \text{ fF} + 0.59 \text{ fF} = \mathbf{3.19 \text{ fF}}$$

Capacitățile joncțiunilor S-B și D-B:

$$AS = AD = 0.5u \cdot 2u = 1 \cdot 10^{-12}; \quad PS = PD = 0.5u + 2u + 0.5u = 3u$$

$$C_{SB} = C_{j\text{-bottom}} + C_{j\text{-sw}} = C_j \cdot AS + C_{jsw} \cdot PS = (1.06 \cdot 10^{-3}) \cdot (1 \cdot 10^{-12}) + (0.47 \cdot 10^{-9} \cdot 3 \cdot 10^{-6}) = 1.06 \text{ fF} + 1.41 \text{ fF} = 2.47 \text{ fF}$$

$$C_{DB} = C_j \cdot AD + C_{jsw} \cdot PD = 2.47 \text{ fF} \text{ (egală cu } C_{SB} \text{ datorită dimensiunilor identice).}$$

- ❖ **Temă pentru acasă:** Pe baza exemplului de mai sus și folosind aceleași valori pentru parametrii t_{ox} , C_{gdo} , C_{gso} , C_j și C_{jsw} , să se determine capacitățile tranzistorului MOS din figura 5 pentru cazul în care lățimea canalului $W=5u$. Celelalte dimensiuni rămân valabile.

II. Parametrii de model SPICE pentru capacitățile tranzistorului MOS

Tabelul 1 – parametrii de model SPICE pentru capacitățile tranzistorului MOS

Parametru	Semnificație	Parametru de model SPICE	U. M.	Valoare implicită
t_{ox}	Grosimea stratului de oxid	TOX	m	
C_{gbo}	Capacitatea de suprapunere poartă-substrat pe unitatea de lungime a canalului	CGBO	F/m	0
C_{gdo}	Capacitatea de suprapunere poartă-drenă pe unitatea de lățime a canalului	CGDO	F/m	0
C_{gso}	Capacitatea de suprapunere poartă-sursă pe unitatea de lățime a canalului	CGSO	F/m	0
C_j	Capacitatea plată difuzie-substrat pe unitatea de arie	CJ	F/m ²	0
C_{jsw}	Capacitatea laterală difuzie-substrat pe unitatea de lungime	CJSW	F/m	0

Observație: Deoarece capacitățile C_{SB} și C_{DB} asociate joncțiunile $p-n$ dintre sursă-substrat și drenă-substrat depind de aria și perimetrul regiunilor de difuzie ale drenei și sursei, pentru a fi luate în considerație cu valori nenule pentru simulare, în linia de descriere SPICE a tranzistorului MOS trebuie completate, pe lângă dimensiunile L și W , și valorile pentru parametrii AS , AD , PS , PD .

De asemenea, parametrii AS , AD , PS și PD sunt necesari la evaluarea curenților de scurgere (*leakage*), deoarece aceștia sunt proporționali cu aria joncțiunii.

Exemplu:

$$\text{M1 2 1 0 0 CMOSN L=0.35u W=1.2u AD=0.6p AS=0.6p PD=2.2u PS=2.2u}$$

III. Evaluarea prin simulare a capacității de poartă a unui tranzistor MOS

Pentru aceasta se consideră circuitul din figura 6 în care tranzistorul MOS are dimensiunile geometrice specificate în figura 5. Circuitului i se va efectua o analiză parametrică în domeniul frecvență pentru 3 valori ale frecvenței, parametru fiind tensiunea V_{GS} . Se consideră inițial tensiunea $V_{DS} = 0$, caz în care tranzistorul va fi fie blocat (pentru $V_{GS} < V_T$), fie în regiunea liniară (pentru $V_{GS} > V_T$). Fișierul SPICE al circuitului este următorul:

```
* Simulare capacitate MOS
M1 2 1 0 0 cmosn_35 L=0.35u W=2u AD=1P AS=1P
PD=3U PS=3U
Vds 2 0 0
Vgs 1 0 dc={V_GS} AC 1
.param V_GS=0
.ac lin 3 900k 1.1meg
.step param v_gs 0 3.3 0.05
.probe
.inc cmos_035.txt
.end
```

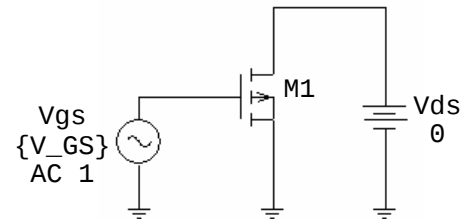


Figura 6. Determinarea capacității de poartă

În urma simulării, ținând cont de relația $i_G = j\omega C_G \cdot v_G$ valorile capacității C_G se reprezintă grafic în *Probe* cu expresia:

$$I(V_{GS}) / (2 \cdot 3.14 \cdot \text{Frequency} \cdot V(1))$$

Rezultatul reprezentării este prezentat în Figura 7 unde fiecare linie reprezintă valoarea capacității C_G pentru o anumită valoare a tensiunii V_{GS} . Totuși, mai interesant este să obținem un grafic al modului în care C_G depinde de V_{GS} .

Pentru aceasta în *Probe* se poate utiliza opțiunea *Performance Analysis* împreună cu o funcție țintă (*goal function*) adecvată.

Astfel, din meniul *Probe* se selectează *Trace* → *Performance Analysis* → în fereastra care apare se selectează OK → apare un nou plot unde pe axa x sunt valorile parametrului v_{GS} . În continuare se selectează *Trace* → *Add Trace* și se reprezintă funcția țintă $YatX(,)$ cu argumentele:

$$YatX(I(V_{GS}) / (2 \cdot 3.14 \cdot \text{Frequency}), 1M)$$

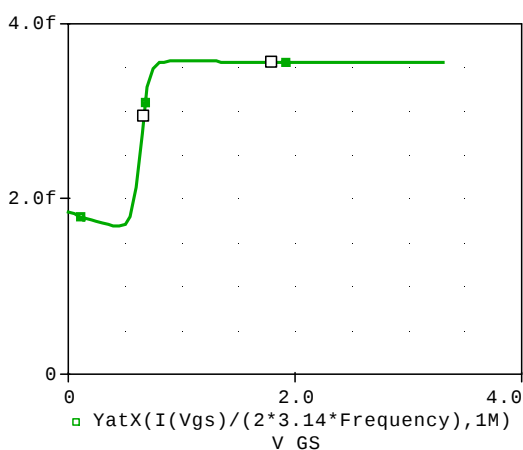


Figura 8. C_G în funcție de V_{GS} pentru $V_{DS}=0$

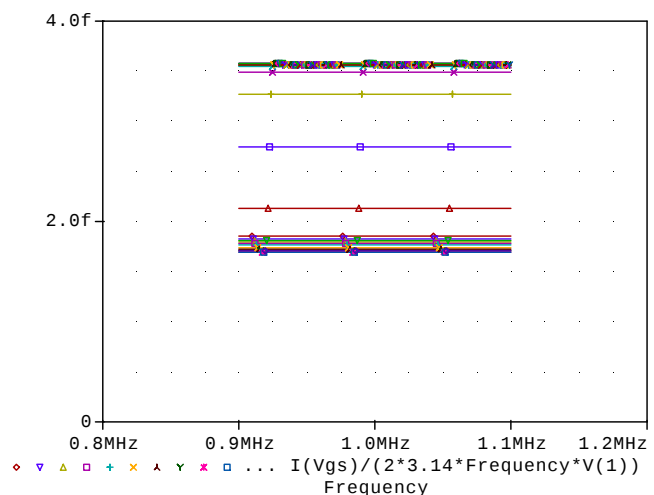


Figura 7. Valorile capacității C_G pentru diferite valori ale tensiunii V_{GS} .

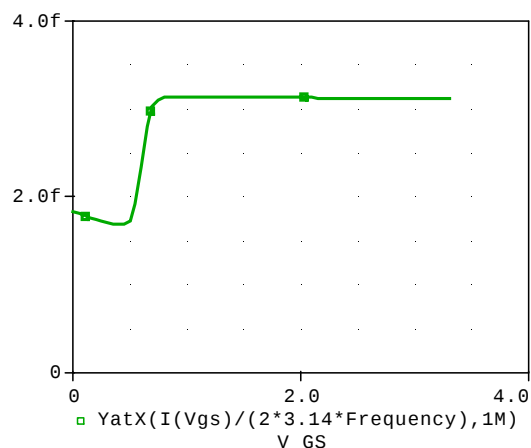


Figura 9. C_G în funcție de V_{GS} pentru $V_{DS}=3.3$

Funcția țintă $YatX(,)$ în forma de mai sus determină afișarea expresiei capacității C_G la frecvența de 1MHz. Astfel, în figura 8 este prezentată dependența capacității C_G în funcție de tensiunea V_{GS} pentru cazul când $V_{DS}=0$.

Dacă se reia simularea circuitului cu $V_{DS}=3.3V$, atunci dependența capacității C_G în funcție de V_{GS} rezultă ca în figura 9. În acest caz, când tensiunea $V_{GS}>V_{TH}$, tranzistorul MOS se va afla în regim de saturație.

Din figurile 8 și 9 se poate observa că nivelul capacității totale de poartă a tranzistorului MOS (C_G) este mai mare în regim liniar (figura 8) decât în regim de saturație (figura 9), în concordanță cu prezentarea teoretică de mai sus.

IV. Aplicația 1 – determinarea capacității de intrare a inversorului CMOS

Procedând similar ca la punctul anterior să se determine prin simulare dependența capacității de intrare a unui inversor CMOS în funcție de tensiunea de la intrare a cărei valori vor fi variate în intervalul $0 \dots V_{DD}$. Inversorul se va considera în tehnologia CMOS de $0.35\mu m$, iar raportul între lățimile tranzistoarelor va fi definit în descrierea SPICE prin intermediul unui parametru k ($W_p = k \cdot W_n$). Pentru lățimea tranzistorului NMOS (W_n) se va alege o valoare din intervalul ($1\mu \dots 5\mu$) iar pentru parametrul k se va adopta o valoare din intervalul ($2 \dots 3$). Tensiunea de alimentare se va considera $V_{DD}=3.3V$.

În urma simulării parametrice, folosind funcția țintă $YatX(,)$ reprezentați grafic în *Probe* dependența capacității de intrare a inversorului în funcție de tensiunea V_{in} .

Determinați de pe grafic valoarea maximă și minimă a capacității de intrare a inversorului precum și valorile tensiunii V_{in} la care se ating aceste nivele extreme. Se va completa un tabel de forma următoare:

	Minim	Maxim
$C_{intrare}$		
V_{in}		

V. Parametrii dinamici ai porților logice CMOS

Principalii parametri care caracterizează regimul dinamic al porților logice sunt: timpii de propagare, timpii de tranziție ai formelor de undă și puterea disipată.

a) Timpii de propagare

Timpul de propagare (t_p) reprezintă diferența dintre momentele de timp când formele de undă de la intrare și ieșire traversează nivelul de tensiune situat la jumătatea gamei dinamice. Uzual acest nivel este situat la jumătatea tensiunii de alimentare ($V_{DD}/2$).

În general, așa cum este reprezentat în figura 10, timpul de propagare se definește separat în funcție de sensul tranziției formei de undă de la ieșire. Astfel, se definesc 2 timpii de propagare:

- t_{pLH} - timpul de propagare când ieșirea trece din starea “low” în starea “high”;
- t_{pHL} - timpul de propagare când ieșirea trece din starea “high” în starea “low”;

În proiectarea porților logice este de dorit ca să nu existe diferențe mari între cei doi timpii. Acest lucru poate fi obținut prin dimensionarea adecvată a tranzistoarelor NMOS și PMOS. Pentru simplitate, de multe ori, pentru timpul de propagare se consideră o singură valoare, ca medie între t_{pLH} și t_{pHL} : $t_p = (t_{pLH} + t_{pHL})/2$.

Principalii parametri externi care influențează timpii de propagare ai unei porți logice sunt capacitatea de sarcină și timpul de tranziție al formei de undă de la intrare.

b) Timpii de tranziție

Timpul de tranziție a unei forme de undă din circuitele logice se definește, în general, ca

intervalul de timp dintre momentele când forma de undă traversează nivelele de 10%, respectiv 90% din gama dinamică, așa cum se poate observa în figura 10. În această figură s-a notat cu t_f – timpul de cădere (*fall time*) și cu t_r – timpul de creștere (*rise time*) al formei de undă.

Ca și în cazul timpilor de propagare, și pentru timpii de tranziție t_f și t_r este de dorit să aibă valori apropiate, aspect care poate fi realizat, la fel, prin dimensionarea corespunzătoare a tranzistoarelor NMOS și PMOS. Principalul parametru extern care influențează timpii de tranziție îl reprezintă capacitatea de sarcină.

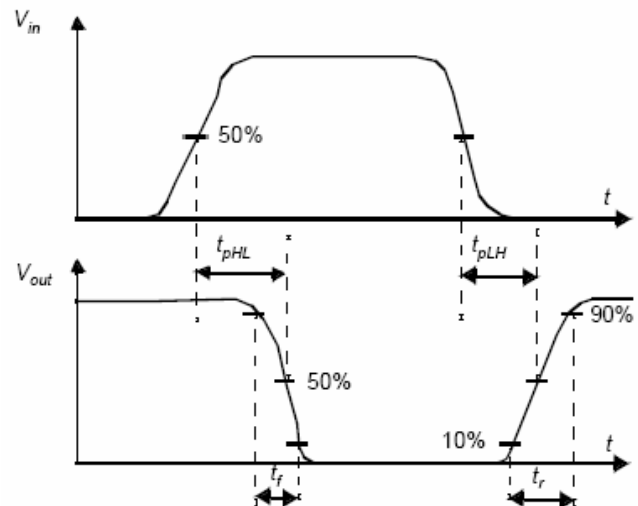


Figura 10. Definirea timpilor de propagare și a timpilor de tranziție

În figura 11 sunt prezentate elementele care compun capacitatea totală de sarcină, C_{out} , a unui inversor CMOS. Astfel, C_{out} este estimat cu relația:

$$C_{out} = C_{DBn} + C_{DBp} + C_{line} + C_{FO} = C_{Lint} + C_L$$

unde $C_{Lint} = C_{DBn} + C_{DBp}$ reprezintă contribuția capacităților interne ale porții iar $C_L = C_{line} + C_{FO}$ reprezintă capacitatea de sarcină propriu-zisă alcătuită din capacitatea echivalentă a interconexiunilor (C_{line}) și capacitățile de intrare în porțile fan-out, C_{FO} .

Capacitățile C_{GDp} și C_{GDn} formează împreună capacitatea de cuplaj intrare-ieșire. Aceasta determină existența unui curent direct intrare-ieșire în timpul tranziției de la intrare ceea ce conduce la apariția unei supracreșteri a formei de undă la ieșire.

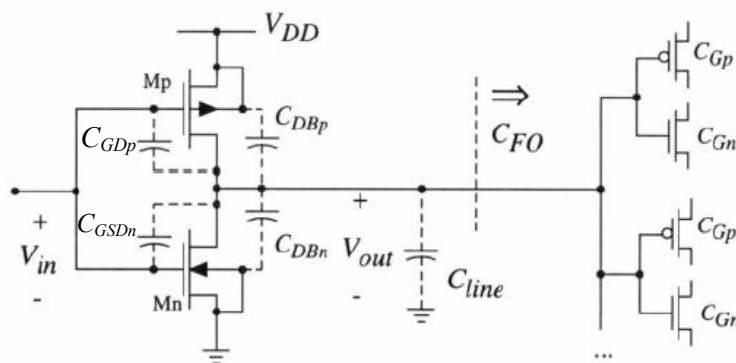


Figura 11. Elementele componente ale capacității de sarcină

c) Puterea disipată

Circuitele logice CMOS au avantajul că absorb curent de la sursa de alimentare doar în timpul comutației. Acest fapt este datorat comportării complementare a tranzistoarelor NMOS și PMOS din porțile logice.

Puterea disipată de porțile logice CMOS are trei componente:

- *puterea dinamică* – este datorată curentului absorbit de la sursa de alimentare pentru încărcarea capacității de sarcină ca urmare a unei tranziții descrescătoare la intrare; în urma celeilalte tranziții la intrare capacitatea de sarcină se descarcă la masă prin tranzistoarele NMOS.

- *puterea de scurt-circuit* – este datorată curentului direct care circulă de la sursă la masă într-un scurt interval din timpul tranziției când tranzistoarele NMOS și PMOS sunt simultan în conducție; curentul de scurt-circuit poate fi observat cel mai bine în timpul tranziției crescătoare la

intrare deoarece este singurul curent absorbit de la sursă în acel interval.

– *puterea datorată curenților de scurgere (leakage)* – curenții de scurgere circulă prin joncțiunile *p-n* polarizate invers dintre drenă și substrat. Chiar dacă această putere este nesemnificativă în raport cu puterea dinamică, ea trebuie luată în considerație mai ales când circuitul este în stand-by pentru mai mult timp.

V. Definirea și utilizarea funcțiilor țintă în analizele de performanță.

În programul Pspice în urma unei analize parametrice se pot utiliza **funcții țintă** (*Goal Functions*) pentru a reprezenta în modulul *Probe* grafice care să descrie în ce mod un parametru influențează anumite caracteristici de interes ale circuitului.

De exemplu, dorim să reprezentăm grafic modul în care timpul de propagare al inversorului CMOS depinde de capacitatea de sarcină. Se parcurg următoarele etape:

1. *Se efectuează o simulare parametrică* în domeniul timp a circuitului pe durata a două tranziții a tensiunii de la intrare, parametrul fiind capacitatea de sarcină, C_L . În urma simulării rezultă o familie de forme de undă pentru tensiunea de ieșire.

2. *Se definesc funcțiile țintă* care să calculeze timpii de propagare t_{pLH} (timp de propagare când ieșirea trece din starea low în starea high) și t_{pHL} . Pentru aceasta, se vor defini două funcții țintă denumite $tpLHinv$, respectiv $tpHLinv$ în felul următor:

- În fereastra **Probe**, din meniu se alege **Trace**, apoi **Goal Functions**. În fereastra care apare se pot vizualiza cu **View** funcțiile țintă existente sau cu **New** se poate defini o nouă funcție țintă.

Observatie: dacă funcția țintă dorită există sau este prezentă o altă funcție cu același rol, atunci nu mai este absolut necesar să se definească o nouă funcție.

Funcția țintă $tpLHinv$ se definește în felul următor:

```
tpLHinv (1,2) = x2-x1
{
#cauta pe prima curba punctul situat la
#jumatatea tranzitiei pe panta negativa
#punctul gasit va fi notat cu 1 si va avea coordonatele (x1,y1)
1| search forward level(50%,n)!1;

#cauta pe curba 2 punctul situat la
#jumatatea tranzitiei pe panta pozitiva
#punctul gasit va fi notat cu 2 si va avea coordonatele (x2,y2)
2| search forward level(50%,p)!2;
}
```

Această funcție va returna diferența $x2-x1$.

După definirea funcțiilor țintă se revine din fereastra Goal Functions.

3. *Se selectează opțiunea analize de performanță*. Din meniul **Probe** se selectează **Trace**, apoi **Performance Analysis**. În fereastra care apare se răspunde cu **Ok**. Pe ecran va apare un plot nou în care pe axa x este parametrul care a fost variat în timpul analizei parametrice. În exemplul de față pe axa x apare parametrul CL .

4. *Se reprezintă funcția țintă*. Se alege **Trace**, apoi **Add Trace**. Din partea dreaptă a ferestrei care apare pentru introducerea expresiei se selectează funcția țintă dorită (de exemplu $tpLH$ sau $tpLHinv$) și i se atribuie ca argumente $V(1)$ – adică forma de undă de la intrare și $V(2)$ – forma de undă de la ieșirea inversorului: $tpLHinv(V(1),V(2))$

Dupa apăsarea tastei Enter, în *Probe* va apare graficul dependenței timpului de propagare dorit în funcție de capacitatea de sarcină. Similar, utilizând funcții țintă adecvate, se pot obține și alte grafice de interes.

VI. Aplicația 2 - Simularea regimului de comutație al inversorului CMOS

Să se simuleze un inversor CMOS în regim de comutație pentru a determina timpii de propagare, timpii de tranziție la ieșire, puterea disipată precum și dependențele acestora în funcție capacitatea de sarcină și de timpul de tranziție la intrare.

Se va considera inversorul CMOS cu aceleași caracteristici ca în cazul Aplicației 1.

a) Editați fișierul de intrare al circuitului având următoarea formă:

```
*Inversor CMOS in comutatie
*descriere subcircuit; ordine terminale: in, vdd, out
.subckt .....
MN ..... W={Wn}
MP ..... W={k*Wn}
.ends

*Circuitul de test
Vdd 3 0 {vdd}
Vin 1 0 PULSE(0 {vdd} 0 {tr} {tr} {5n-tr} 15n)
X1 1 3 2 .....
Cload 2 0 {CL}

.param vdd=3.3
.param tr=0.5ns
.param Wn= ... ; se alege o valoare din intervalul (1u ... 5u)
.param k= ..... ; se alege o valoare din intervalul (2 ...3)
.param CL=0.1p

.tran 0.1n 15n 0 0.05n
*.step param CL 0.05p 0.15p 0.01p
*.step param tr 0.2n 1.2n 0.1n

.inc .....; fisier cu modelele tranzistoarelor
.probe
.end
```

b) Să se efectueze simularea simplă (neparametrică) a circuitului, să se vizualizeze și să se determine următoarele:

- formele de undă a tensiunilor de la intrare și ieșire; să se determine timpii de propagare t_{pLH} și t_{pHL} , timpii de tranziție t_f și t_r .
- curentul absorbit din sursa de alimentare: $-I(V_{dd}) \cdot V_3$; să se identifice curentul de încărcare a capacității de sarcină și curentul de scurt-circuit; să se determine valorile maxime ale acestor curenți.

c) Să se efectueze simulări parametrice a circuitului în funcție de parametrii CL, respectiv tr și, cu ajutorul funcțiilor țintă adecvate, se vor reprezenta grafic următoarele:

- dependența t_{pLH} și t_{pHL} în funcție de CL, respectiv tr.
- dependența timpilor de tranziție de la ieșire în funcție de CL, respectiv tr.
- dependențele valorii maxime a curentului $I(V_{DD})$ în funcție de CL, respectiv tr.

Observație: pentru definirea sau utilizarea funcțiilor țintă se va proceda conform celor prezentate la pct. V.