

Recomandări pentru realizarea și predarea temei de proiect

Rezolvarea temei de proiect se va prezenta personal într-un dosar de plastic cu sîna însoțit, în format electronic, de fișierele create și utilizate în cursul realizării temei de proiect.

Dosarul va avea următorul conținut:

- Prima pagina va conține următoarele informații:
 - numele disciplinei;
 - numărul temei de proiect
 - titlurile (numele circuitelor) pentru cele două părți ale temei de proiect (SPICE și VHDL) – se vor prelua din documentul care prezintă cerințele temei primite;
 - tehnologia CMOS impusă (se va indica numele fișierului precizat pentru modelele tranzistoarelor MOS);
 - anul de studiu, numele și grupa studentului;
 - numele cadrului didactic;
 - anul universitar.
- Paginile următoare vor conține enunțul temei așa cum a fost primit;
- După enunț urmează partea de proiectare și de analiză cu SPICE a circuitului primit.
 - la început se va face, în limba română, o scurtă descriere a funcționalității circuitului (scris de mână sau pe calculator)
 - se vor dimensiona tranzistoarele din fiecare poartă logică din cadrul circuitului ținând cont de tehnologia impusă (de ex. dacă numele fișierului cu modele este CMOS_TSMC_025_T51V.txt, atunci toate tranzistoarele au lungimea canalului $L=0.25\mu\text{m}$); pentru fiecare poartă logică din circuit lățimea minimă a tranzistoarelor se va adopta la alegere din intervalul $(1.5 \dots 4) \cdot L$. Relatiile de calcul și desenul cu structura fiecărei porți logice se vor scrie obligatoriu de mână.
 - în continuare se vor prezenta subcircuitul în format SPICE pentru fiecare poartă logică dar și pentru întregul circuit (format tipărit). Toate subcircuitul definite vor fi reunite într-un singur fișier.
 - urmează, în format tipărit cu eventuale completări scrise de mână, partea de prezentare a analizei SPICE a circuitului dat conform cerințelor. Pentru fiecare analiză se va prezenta pe scurt:
 - principiul metodei;
 - fișierul cu extensia .CIR (**atenție:** în acest fișier nu se va descrie și structura internă a circuitului supus analizei, ci se va instanția subcircuitul corespunzător acestuia);
 - figuri cu formele de undă obținute în urma simulării din care să se poată observa și determina valorile parametrilor ceruți. Se recomandă captarea figurii având afișate cursoarele în punctele de interes. Fiecare figură va fi însoțită și de o scurtă explicație.
 - tabel cu valorile determinate pentru parametrii ceruți.
 - **Observație:** În cazul simulărilor pentru determinarea parametrilor SETUP_TIME, HOLD_TIME și MINPW se vor utiliza valori de ordinul (20ps....50ps) pentru timpii de tranziție de la intrări.
- **Partea a II-a** a dosarului va conține rezolvarea temei referitoare la VHDL în care se vor respecta următoarele recomandări:
 - Pe o pagină vor apărea împreună următoarele:
 - cerințele problemei (scris de mână sau tipărit);
 - un desen de mână cu interfața blocului (circuitului) care trebuie modelat și simulat în VHDL pe baza informațiilor din enunțul problemei;
 - o scurtă explicație privind principiul utilizat la modelarea circuitului;
 - Pe paginile următoare se va prezenta (tipărit) codul VHDL pentru unitățile de proiect create (pentru modelul circuitului dat, respectiv pentru testarea/simularea acestuia).
 - Codul VHDL va conține obligatoriu comentarii informative și/sau justificative;
 - **Atenție:** nu se va lua în considerare tema prezentată cu cod VHDL neînsoțit de comentarii sau preluat din diverse surse (de ex: internet, alt coleg cu tema similară sau identică, etc); Se

recomanda sa existe si comentarii scrise de mana.

- Se vor respecta strict denumirile, tipurile si dimensiunile porturilor specificate pentru circuitul primit.
- Pentru semnale se va utiliza obligatoriu tipul de date `std_logic`;
- Numele alese pentru entitati vor fi sugestive, in concordanta cu denumirea circuitului.
- **Toate numele entitatilor, arhitecturilor, package-urilor sau functiilor definite de autorul proiectului vor include ca prefix doua initiale (numele si prenumele).** De exemplu, pentru un numarator modelat de studentul Popescu Andrei, numele entitatii va fi de forma: **pa_num**, unde **pa** sunt initialele autorului proiectului.
- In partea de testare (simulare) a modelului se va explica modalitatea aleasa pentru verificarea functionalitatii acestuia.
- Se vor tipari una sau mai multe capturi cu formele de unda rezultate in urma simularii din care sa se observe ca modelul se comporta in concordanta cu specificatiile date. Se adauga comentarii, observatii asupra rezultatelor.

La colocviul de prezentare a proiectului studentul va pune la dispozitie in format electronic fisierele SPICE si VHDL create, inclusiv biblioteca "work", pentru a demonstra ca fisierele au fost compilate cu succes.

Important: Rezolvarea temei de proiect va fi apreciata cu atat mai mult cu cat studentul face dovada muncii sale la realizarea proiectului si poate oferi explicatii pentru orice este scris in cadrul dosarului.